

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-335701

(43)Date of publication of application : 17.12.1996

(51)Int.Cl.

H01L 29/78  
H01L 21/28  
H01L 21/8234  
H01L 27/088  
H01L 21/8238  
H01L 27/092  
H01L 21/336

(21)Application number : 07-325148

(71)Applicant : SONY CORP

(22)Date of filing : 20.11.1995

(72)Inventor : KURODA HIDEAKI

(30)Priority

Priority number : 07 42411  
07107903

Priority date : 07.02.1995  
07.04.1995

Priority country : JP

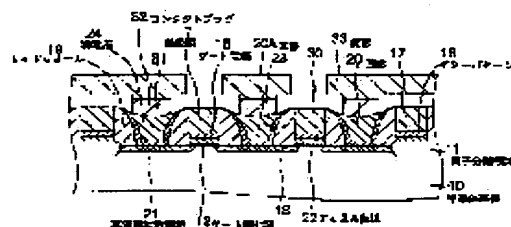
JP

## (54) FIELD EFFECT SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

**PURPOSE:** To fabricate a device which has a low sheet resistance and a high speed by forming recessed sections between side walls formed on side faces of a gate electrode and those formed on side faces of a dummy pattern, with diffusion regions being exposed on their bottoms, and forming conductive layers in the recessed sections.

**CONSTITUTION:** This device consists of an active region and an element isolation region 11. In the active region, diffusion regions 18 and 21, a channel region 22, and a gate electrode 15 are formed. On the element isolation region 11, a dummy pattern 16 is formed nearly in parallel with the gate electrode 15. Side walls 19 which are made of insulating material are formed on side faces of the gate electrode 15 and the dummy pattern 16. Between the side walls 19 formed on the side faces of the gate electrode 15 and the side walls 19 formed on the side faces of the dummy pattern 16, recessed sections 20 are formed. At the bottoms of the recessed sections 20, the diffusion region 21 is exposed. Furthermore, conductive layers 24 are formed in the recessed sections 20.



## LEGAL STATUS

[Date of request for examination]

01.04.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

3209064

[Date of registration]

13.07.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-335701

(43) 公開日 平成8年(1996)12月17日

(51) Int. Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 X
21/28	3 0 1		21/28	3 0 1 A
21/8234			27/08	1 0 2 D
27/088				3 2 1 F
21/8238			29/78	3 0 1 Y
審査請求 未請求 請求項の数29 F D (全 30 頁) 最終頁に続く				

(21) 出願番号 特願平7-325148

(22) 出願日 平成7年(1995)11月20日

(31) 優先権主張番号 特願平7-42411

(32) 優先日 平7(1995)2月7日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平7-107903

(32) 優先日 平7(1995)4月7日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 黒田 英明

東京都品川区北品川6丁目7番35号 ソニ

株式会社内

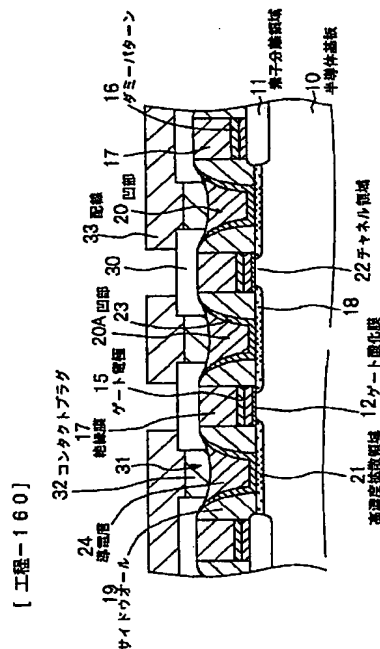
(74) 代理人 弁理士 山本 孝久

(54) 【発明の名称】 電界効果型半導体装置及びその製造方法

## (57) 【要約】

【課題】低いシート抵抗を有し、高速動作が可能であり、高い集積度を得ることができ、しかも高い信頼性を有し、製造工程が左程増加することがない電界効果型半導体装置を提供する。

【解決手段】活性領域と素子分離領域11から成り、活性領域には拡散領域18、21とチャネル領域22とゲート電極15とが形成された電界効果型半導体装置であって、(イ)素子分離領域11上に形成され、ゲート電極15と略平行に延びるダミーパターン16と、(ロ)ゲート電極及びダミーパターンの側面に設けられた、絶縁材料から成るサイドウォール19と、(ハ)ゲート電極15及びダミーパターン16のそれぞれの側面に設けられたサイドウォール19の間に形成され、拡散領域21が底部に露出した凹部20と、(ニ)凹部20内に形成された導電層24から成る。



## 【特許請求の範囲】

【請求項1】活性領域と素子分離領域から成り、活性領域には拡散領域とチャンネル領域とゲート電極とが形成された電界効果型半導体装置であって、

(イ)素子分離領域上に形成され、該ゲート電極と略平行に延びるダミーパターンと、

(ロ)該ゲート電極及び該ダミーパターンの側面に設けられた、絶縁材料から成るサイドウォールと、

(ハ)ゲート電極の側面に設けられた該サイドウォールとダミーパターンの側面に設けられた該サイドウォールとの間に形成され、前記拡散領域が底部に露出した凹部と、

(ニ)該凹部に形成された導電層、から成ることを特徴とする電界効果型半導体装置。

【請求項2】ゲート電極から延在する素子分離領域上の導電体パターンと、該導電体パターンと略平行に延びるダミーパターンとの間、及び／又は、ゲート電極から延在する素子分離領域上の導電体パターンとそれに隣接する導電体パターンとの間は、それらの側面に設けられたサイドウォールによって埋められていることを特徴とする請求項1に記載の電界効果型半導体装置。

【請求項3】導電層は金属材料から成ることを特徴とする請求項1に記載の電界効果型半導体装置。

【請求項4】導電層は、不純物がドーピングされた半導体材料から成る下層及び金属材料から成る上層から構成されていることを特徴とする請求項1に記載の電界効果型半導体装置。

【請求項5】ゲート電極は、不純物がドーピングされた多結晶シリコン層、及びその上に堆積された前記導電層から成り、前記凹部に形成された導電層とゲート電極を構成する導電層とは前記サイドウォールによって分離されていることを特徴とする請求項1に記載の電界効果型半導体装置。

【請求項6】導電層は金属材料から成ることを特徴とする請求項5に記載の電界効果型半導体装置。

【請求項7】導電層は、不純物がドーピングされた半導体材料から成る下層及び金属材料から成る上層から構成されていることを特徴とする請求項5に記載の電界効果型半導体装置。

【請求項8】ダミーパターンは、他の電界効果型半導体装置を構成する活性領域に設けられたゲート電極から延在する導電体パターンに相当することを特徴とする請求項1に記載の電界効果型半導体装置。

【請求項9】サイドウォールと導電層との間には、絶縁層が形成されていることを特徴とする請求項1に記載の電界効果型半導体装置。

【請求項10】ゲート電極から延在する素子分離領域上の導電体パターンと、該導電体パターンと略平行に延びるダミーパターンとの間、及び／又は、ゲート電極から延在する素子分離領域上の導電体パターンとそれに隣接

する導電体パターンとの間は、それらの側面に設けられたサイドウォール及び前記絶縁層によって埋められていることを特徴とする請求項9に記載の電界効果型半導体装置。

【請求項11】ゲート電極及び導電体パターンは、不純物がドーピングされた多結晶シリコン層、及びその上に堆積された前記導電層から成り、前記凹部を埋める導電層とゲート電極を構成する導電層とは前記サイドウォールによって分離されていることを特徴とする請求項10に記載の電界効果型半導体装置。

【請求項12】導電層は金属材料から成ることを特徴とする請求項9に記載の電界効果型半導体装置。

【請求項13】導電層は、不純物がドーピングされた半導体材料から成る下層及び金属材料から成る上層から構成されていることを特徴とする請求項9に記載の電界効果型半導体装置。

【請求項14】(イ)半導体基板に、素子分離領域、及び該素子分離領域で囲まれた活性領域形成予定領域を形成する工程と、

(ロ)ゲート電極を活性領域形成予定領域上に形成し、該ゲート電極と略平行に延びるダミーパターンを素子分離領域上に形成する工程と、

(ハ)該ゲート電極及び該ダミーパターンの側面に、絶縁材料から成るサイドウォールを設け、以て、ゲート電極の側面に設けられた該サイドウォールとダミーパターンの側面に設けられた該サイドウォールとの間に、前記活性領域形成予定領域が底部に露出した凹部を形成する工程と、

(ニ)該凹部を導電材料で埋め込む工程、から成ることを特徴とする電界効果型半導体装置の製造方法。

【請求項15】ゲート電極から延在する素子分離領域上の導電体パターンと、該導電体パターンと略平行に延びるダミーパターンとの間、及び／又は、ゲート電極から延在する素子分離領域上の導電体パターンとそれに隣接する導電体パターンとの間は、それらの側面に設けられたサイドウォールによって埋められていることを特徴とする請求項14に記載の電界効果型半導体装置の製造方法。

【請求項16】前記工程(ニ)は、全面に金属から成る導電材料層を堆積させた後、該導電材料層を平坦化する工程から成ることを特徴とする請求項14に記載の電界効果型半導体装置の製造方法。

【請求項17】前記工程(ニ)は、全面に半導体用材料から成る下層を堆積させた後、該下層及びその下方の前記半導体基板に不純物をドーピングする工程と、該下層上に金属材料から成る上層を堆積させた後、該上層及び下層を平坦化する工程から成ることを特徴とする請求項14に記載の電界効果型半導体装置の製造方法。

【請求項18】前記工程(ハ)と工程(ニ)の間に、前記活性領域形成予定領域が露出するように、絶縁層をサ

10

20

30

40

50

イドウオール上に形成する工程を含むことを特徴とする請求項 14 に記載の電界効果型半導体装置の製造方法。

【請求項 19】ゲート電極から延在する素子分離領域上の導電体パターンと、該導電体パターンと略平行に延びるダミーパターンとの間、及び／又は、ゲート電極から延在する素子分離領域上の導電体パターンとそれに隣接する導電体パターンとの間は、それらの側面に設けられたサイドウオール及び前記絶縁層によって埋められていることを特徴とする請求項 18 に記載の電界効果型半導体装置の製造方法。

【請求項 20】前記工程（二）の後、全面に層間絶縁層を形成し、次いで、該層間絶縁層をエッチバックして、所望の凹部、及び／又はゲート電極、及び／又はダミーパターンの部分の上方の層間絶縁層に開口部を形成し、その後、該開口部内にコンタクトプラグを形成する工程を更に含むことを特徴とする請求項 14 に記載の電界効果型半導体装置の製造方法。

【請求項 21】（イ）半導体基板に、素子分離領域、及び該素子分離領域で囲まれた活性領域形成予定領域を形成する工程と、

（ロ）活性領域形成予定領域上に多結晶シリコン層を形成し、次いで、該多結晶シリコン層上に絶縁膜を形成し、その後、該絶縁膜及び多結晶シリコン層をパターンニングしてパターンニング層を形成する工程と、

（ハ）素子分離領域上に、該パターンニング層と略平行に延びるダミーパターンを形成する工程と、

（ニ）該ダミーパターンの側面並びに該パターンニング層の側面に、絶縁材料から成るサイドウオールを設け、以て、ダミーパターンの側面に設けられた該サイドウオールと、該パターンニング層の側面に設けられた該サイドウオールとの間に、前記活性領域形成予定領域が底部に露出した凹部を形成する工程と、

（ホ）多結晶シリコン層上の絶縁膜を除去する工程と、

（ヘ）多結晶シリコン層及び該凹部の底部に露出した活性領域形成予定領域に不純物をドーピングする工程と、

（ト）該凹部を導電材料で埋め込み、且つ、該パターンニングされた多結晶シリコン層の側面に設けられたサイドウオール間を該導電材料で埋め込み、以て、不純物がドーピングされた多結晶シリコン層及び該導電材料の 2 層構成のゲート電極を形成する工程、から成ることを特徴とする電界効果型半導体装置の製造方法。

【請求項 22】絶縁膜は酸化シリコンから成り、サイドウオールを構成する絶縁材料は窒化シリコンから成ることを特徴とする請求項 21 に記載の電界効果型半導体装置の製造方法。

【請求項 23】素子分離領域上を延びるパターンニング層と、パターンニング層と略平行に延びるダミーパターンとの間、及び／又は、素子分離領域上を延びるパターンニング層とそれに隣接するパターンニング層との間は、それらの側面に設けられたサイドウオールによって埋められて

いることを特徴とする請求項 21 に記載の電界効果型半導体装置の製造方法。

【請求項 24】前記工程（ト）は、全面に金属から成る導電材料層を堆積させた後、該導電材料層を平坦化する工程から成ることを特徴とする請求項 21 に記載の電界効果型半導体装置の製造方法。

【請求項 25】前記工程（ト）は、全面に半導体用材料から成る下層を堆積させた後、該下層及びその下方の前記半導体基板に不純物をドーピングする工程と、該下層上に金属材料から成る上層を堆積させた後、該上層及び下層を平坦化する工程から成ることを特徴とする請求項 21 に記載の電界効果型半導体装置の製造方法。

【請求項 26】前記工程（ヘ）と工程（ト）の間に、前記活性領域形成予定領域が露出するように、絶縁層をサイドウオール上に形成する工程を含むことを特徴とする請求項 21 に記載の電界効果型半導体装置の製造方法。

【請求項 27】素子分離領域上を延びるパターンニング層と、パターンニング層と略平行に延びるダミーパターンとの間、及び／又は、素子分離領域上を延びるパターンニング層とそれに隣接するパターンニング層との間は、それらの側面に設けられたサイドウオール及び絶縁層によって埋められていることを特徴とする請求項 26 に記載の電界効果型半導体装置の製造方法。

【請求項 28】前記工程（ト）の後、全面に層間絶縁層を形成し、次いで、該層間絶縁層をエッチバックして、所望の凹部、及び／又はゲート電極、及び／又はダミーパターンの部分の上方の層間絶縁層に開口部を形成し、その後、該開口部内にコンタクトプラグを形成する工程を更に含むことを特徴とする請求項 21 に記載の電界効果型半導体装置の製造方法。

【請求項 29】（A）表面チャネル構造を有する N 型チャネルと、N 型不純物がドーピングされた多結晶シリコン層と金属層の 2 層構造を有するゲート電極を備えた N 型 MOS トランジスタと、

（B）表面チャネル構造を有する P 型チャネルと、P 型不純物がドーピングされた多結晶シリコン層と金属層の 2 層構造を有するゲート電極を備えた P 型 MOS トランジスタ、から構成されたデュアルゲート型 MOS トランジスタから成る電界効果型半導体装置の製造方法であって、

（イ）半導体基板に、素子分離領域、及び該素子分離領域で囲まれた N 型 MOS トランジスタ及び P 型 MOS トランジスタの活性領域形成予定領域をそれぞれ形成する工程と、

（ロ）活性領域形成予定領域上に多結晶シリコン層を形成し、次いで、該多結晶シリコン層上に絶縁膜を形成し、その後、該絶縁膜及び多結晶シリコン層をパターンニングしてパターンニング層を形成する工程と、

（ハ）素子分離領域上に、該パターンニング層と略平行に延びるダミーパターンを形成する工程と、

10

20

30

40

50

(ニ) 該ダミーパターンの側面並びに該パターンニング層の側面に、絶縁材料から成るサイドウォールを設け、以て、ダミーパターンの側面に設けられた該サイドウォールと、該パターンニング層の側面に設けられた該サイドウォールとの間に、前記活性領域形成予定領域が底部に露出した凹部を形成する工程と、

(ホ) 多結晶シリコン層上の絶縁膜を除去する工程と、

(ヘ) N型MOSトランジスタの活性領域形成予定領域における多結晶シリコン層、及び該凹部の底部に露出したN型MOSトランジスタの活性領域形成予定領域にN型不純物をドーピングし、P型MOSトランジスタの活性領域形成予定領域における多結晶シリコン層、及び該凹部の底部に露出したP型MOSトランジスタの活性領域形成予定領域にP型不純物をドーピングする工程と、

(ト) 該凹部を導電材料で埋め込み、且つ、該パターンニングされた多結晶シリコン層の側面に設けられたサイドウォール間を該導電材料で埋め込み、以て、不純物がドーピングされた多結晶シリコン層及び該導電材料の2層構成のゲート電極を形成する工程、から成ることを特徴とする電界効果型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電界効果型半導体装置及びその製造方法に関する。

【0002】

【従来の技術】電界効果型半導体装置を微細化するためには拡散領域を浅くして短チャネル効果を抑制する必要がある。然るに、拡散領域を浅くするとシート抵抗が高くなり、電界効果型半導体装置の動作の高速化が困難になる。そこで、拡散領域の表面を自己整合的にシリサイド化した電界効果型半導体装置が検討されている。

【0003】図33に示す2入力NANDゲート等を構成するためのMOSトランジスタの製造方法の第1の従来例を、図29～図32に示す。この第1の従来例においては、シリコン半導体基板210に、LOCOS法等によってSiO<sub>2</sub>から成る素子分離領域211を形成する。そして、この素子分離領域211で囲まれた活性領域形成予定領域の表面にSiO<sub>2</sub>から成るゲート酸化膜212を形成する。その後、多結晶シリコン層213及びタングステンシリサイド層214から成るタングステンポリサイド層を全面に形成し、このタングステンポリサイド層上にCVD法にてSiO<sub>2</sub>から成る絶縁膜217(オフセット絶縁膜とも呼ばれる)を堆積させる。次に、絶縁膜217及びタングステンポリサイド層をパターンニングして、タングステンポリサイド層から成るゲート電極215を形成する(図29の(A)参照)。次いで、絶縁膜217及び素子分離領域211をマスクとして、半導体基板210に不純物をイオン注入し、低濃度の拡散領域218を形成する(図29の(B)参照)。

【0004】次に、図30の(A)に示すように、Si

O<sub>2</sub>から成る所謂ゲートサイドウォール219をゲート電極216及び絶縁膜217の側面に形成する。その後、チタン(Ti)やコバルト(Co)等から成る金属膜240を全面に堆積させ、この金属膜240を介して半導体基板210に不純物をイオン注入して、高濃度の拡散領域221を形成する(図30の(B)参照)。

【0005】次に、図31の(A)に示すように、アニール処理を行い、イオン注入された不純物を活性化させると共に、金属膜240と半導体基板210を構成するシリコンとを反応させてチタンシリサイド又はコバルトシリサイド等から成るシリサイド膜241を高濃度の拡散領域221の表面に自己整合的に形成する。その後、絶縁膜217上、ゲートサイドウォール219上及び素子分離領域211上の未反応の金属膜240を除去する(図31の(B)参照)。

【0006】次に、図32に示すように、平坦な層間絶縁層230を形成し、シリサイド膜241に達する開口部231をRIE法にて層間絶縁層230に設ける。そして、TiN層/Ti層232と、タングステンから成るコンタクトプラグ233で開口部231を埋める。その後、アルミニウム系合金から成る配線234を形成し、更に公知の工程を実行して、MOSトランジスタを完成させる。

【0007】あるいは又、図33に示した2入力NANDゲート等を構成するためのMOSトランジスタの製造方法の第2の従来例を、図34～図35に示す。この第2の従来例においては、多結晶シリコン層213をゲート電極を形成するためにパターンニングする。第1の従来例と異なり、絶縁膜(オフセット絶縁膜)は形成しない。その後、第1の従来例と同様に、パターンニングされた多結晶シリコン層213及び素子分離領域211をマスクとして、半導体基板210に不純物をイオン注入し、低濃度の拡散領域218を形成する。次に、SiO<sub>2</sub>から成るゲートサイドウォール219をパターンニングされた多結晶シリコン層213の側面に形成する(図34の(A)参照)。

【0008】その後、TiやCo等から成る金属膜240を全面に堆積させ、この金属膜240を介して半導体基板210に不純物をイオン注入して、高濃度の拡散領域221を形成する(図34の(B)参照)。

【0009】次に、図35の(A)に示すように、アニール処理を行い、イオン注入された不純物を活性化させると共に、金属膜240と半導体基板210を構成するシリコンとを反応させてチタンシリサイド又はコバルトシリサイド等から成るシリサイド膜241を高濃度の拡散領域221の表面に自己整合的に形成する。多結晶シリコン層213上の金属膜240もシリコンと反応し、多結晶シリコン層213の上部にはシリサイド膜241Aが形成され、これによって、多結晶シリコン層213及びシリサイド膜241Aの2層構造のゲート電極が形

成される。その後、ゲートサイドウォール219上及び素子分離領域211上の未反応の金属膜240を除去する(図35の(B)参照)。次いで、第1の従来例と同様の方法で、MOSトランジスタを完成させる。

【0010】

【発明が解決しようとする課題】ところが、第1の従来例では、シリサイド膜241を形成するために半導体基板210を構成するシリコンと金属膜240とを直接、反応させているため、半導体基板210に大きな応力が加わる。しかも、アロイスバイクによる接合リークが拡散領域218、221で生じる可能性が高く、電界効果型半導体装置の信頼性が低下するという問題がある。

【0011】また、例えばBPSGから成る層間絶縁層230のリフロー処理のために850°C以上の温度の熱処理を行うと、シリサイド膜241において結晶粒が成長し、結晶粒同士が分離して拡散領域221のシート抵抗が上昇するという問題がある。従って、BPSGから成る層間絶縁層230のリフロー処理といった簡便な方法では平坦な層間絶縁層230を得ることが困難であり、層間絶縁層230を他の方法で平坦化処理をせざるを得ず、電界効果型半導体装置の製造コストの上昇を招くという問題もある。

【0012】更に、開口部231の形成時、シリサイド膜241から位置ずれした状態で開口部231が形成された場合、LOCOS構造を有する素子分離領域211のバースピークをエッチングする可能性が高い。このため、コンタクト補償イオン注入を行う必要があり、それに伴ってCMOSトランジスタではリソグラフィ工程も必要となり、製造工程が増加し、電界効果型半導体装置の製造コストの上昇を招くという問題もある。

【0013】また、第2の従来例では、シリサイド膜241Aを形成するために多結晶シリコン層213を構成するシリコンと金属膜240とを直接、反応させているため、ゲート酸化膜212に大きな応力が加わる。その結果、ゲート酸化膜212が劣化し、電界効果型半導体装置の信頼性が低下するという問題がある。

【0014】更には、ゲート電極のパターニング及び開口部の形成は別のリソグラフィ工程を必要とするので、フォトリソの合わせずれや線幅ばらつきを考慮すると、ゲート電極と開口部は一定の距離を離す必要があり、電界効果型半導体装置の集積化の妨げとなっている。

【0015】電界効果型半導体装置の一種に、デュアルゲート型MOSトランジスタがある。このデュアルゲート型MOSトランジスタは、図36に模式的な一部断面図を示すように、N型MOSトランジスタとP型MOSトランジスタから構成され、N型MOSトランジスタは、表面チャネル構造を有するN型チャネルと、ゲート電極から成る。そして、ゲート電極は、N型不純物がドーピングされた多結晶シリコン層と、シリサイド層の2

層構造を有する。一方、P型MOSトランジスタは、表面チャネル構造を有するP型チャネルと、ゲート電極から成る。そして、ゲート電極は、P型不純物がドーピングされた多結晶シリコン層と、シリサイド層の2層構造を有する。

【0016】従来のデュアルゲート型MOSトランジスタの製造方法においては、図36に示した構造を作製した後、拡散領域の形成、あるいは又、層間絶縁層のリフロー処理といった熱処理が行われる。然るに、かかる熱処理の結果、ゲート電極を構成する多結晶シリコン層中の不純物がシリサイド層を介して相互拡散し、各トランジスタのゲート電極における多結晶シリコン層中の不純物濃度の低下が生じ、例えば閾値電圧の変動といったトランジスタの特性が変化するという問題が生じる。

【0017】従って、本発明の第1の目的は、低いシート抵抗を有し、高速動作が可能であり、高い集積度を得ることができ、しかも高い信頼性を有し、製造工程が左程増加することがない電界効果型半導体装置及びその製造方法を提供することにある。

【0018】更に、本発明の第2の目的は、上記第1の目的に加え、半導体基板に形成された拡散領域と配線との間で電気的な接続を得るために、拡散領域上に自己整合的に導電層が形成された電界効果型半導体装置及びその製造方法を提供することにある。

【0019】更に、本発明の第3の目的は、電界効果型半導体装置の一種であるデュアルゲート型MOSトランジスタにおいて、ゲート電極を構成する多結晶シリコン層中の不純物がシリサイド層を介して相互拡散し、各トランジスタのゲート電極における多結晶シリコン層中の不純物濃度の低下が生じ、トランジスタの特性が変化するという問題を解決し得る電界効果型半導体装置及びその製造方法を提供することにある。

【0020】

【課題を解決するための手段】上記の第1及び第2の目的を達成するための本発明の電界効果型半導体装置は、活性領域と素子分離領域から成り、活性領域には拡散領域とチャネル領域とゲート電極とが形成された電界効果型半導体装置であって、(イ)素子分離領域上に形成され、該ゲート電極と略平行に延びるダミーパターンと、(ロ)該ゲート電極及び該ダミーパターンの側面に設けられた、絶縁材料から成るサイドウォールと、(ハ)ゲート電極の側面に設けられた該サイドウォールとダミーパターンの側面に設けられた該サイドウォールとの間に形成され、前記拡散領域が底部に露出した凹部と、(ニ)該凹部内に形成された導電層、から成ることを特徴とする。ここで、略平行とは、厳密に平行である必要はないとの意味である。

【0021】本発明の電界効果型半導体装置においては、ゲート電極から延在する素子分離領域上の導電体パターンと、該導電体パターンと略平行に延びるダミーパ

ターンとの間、及び／又は、ゲート電極から延在する素子分離領域上の導電体パターンとそれに隣接する導電体パターンとの間、及び／又は、素子分離領域上のダミーパターンとそれに隣接するダミーパターンとの間は、それらの側面に設けられたサイドウォールによって埋められていることが好ましい。

【0022】本発明の電界効果型半導体装置においては、導電層を金属材料から構成することができ、あるいは又、導電層を、不純物がドーピングされた半導体材料から成る下層及び金属材料から成る上層から構成すること

【0023】本発明の電界効果型半導体装置の一態様においては、更に上記の第3の目的を達成するために、ゲート電極は、不純物がドーピングされた多結晶シリコン層、及びその上に堆積された導電層から成り、凹部に形成された導電層とゲート電極を構成する導電層とはサイドウォールによって分離されている。この場合、導電層を金属材料から構成することができ、あるいは又、導電層を、不純物がドーピングされた半導体材料から成る下層及び金属材料から成る上層から構成することができ

【0024】本発明の電界効果型半導体装置においては、ダミーパターンを、他の電界効果型半導体装置を構成する活性領域に設けられたゲート電極から延在する導電体パターンとすることができ。即ち、ダミーパターンは、所謂ワード線に相当する。

【0025】本発明の電界効果型半導体装置の別の態様においては、サイドウォールと導電層との間に絶縁層を形成することができ。この場合、ゲート電極から延在する素子分離領域上の導電体パターンと、該導電体パターンと略平行に延びるダミーパターンとの間、及び／又は、ゲート電極から延在する素子分離領域上の導電体パターンとそれに隣接する導電体パターンとの間、及び／又は、素子分離領域上のダミーパターンとそれに隣接するダミーパターンとの間は、それらの側面に設けられたサイドウォール及び絶縁層によって埋められていることが好ましい。この場合、更に上記の第3の目的を達成するために、ゲート電極及び導電体パターンは、不純物がドーピングされた多結晶シリコン層、及びその上に堆積された導電層から成り、凹部を埋める導電層とゲート電極を構成する導電層とはサイドウォールによって分離されていることが望ましい。導電層を、金属材料から構成し、あるいは又、不純物がドーピングされた半導体材料から成る下層及び金属材料から成る上層から構成することができ。

【0026】上記の第1及び第2の目的を達成するための本発明の第1の態様に係る電界効果型半導体装置の作製方法は、(イ)半導体基板に、素子分離領域、及び該素子分離領域で囲まれた活性領域形成予定領域を形成する工程と、(ロ)ゲート電極を活性領域形成予定領域上

に形成し、該ゲート電極と略平行に延びるダミーパターンを素子分離領域上に形成する工程と、(ハ)該ゲート電極及び該ダミーパターンの側面に、絶縁材料から成るサイドウォールを設け、以て、ゲート電極の側面に設けられた該サイドウォールとダミーパターンの側面に設けられた該サイドウォールとの間に、前記活性領域形成予定領域が底部に露出した凹部を形成する工程と、(ニ)該凹部を導電材料で埋め込む工程、から成ることを特徴とする。

【0027】本発明の第1の態様に係る電界効果型半導体装置の作製方法においては、ゲート電極から延在する素子分離領域上の導電体パターンと、該導電体パターンと略平行に延びるダミーパターンとの間、及び／又は、ゲート電極から延在する素子分離領域上の導電体パターンとそれに隣接する導電体パターンとの間、及び／又は、素子分離領域上のダミーパターンとそれに隣接するダミーパターンとの間は、それらの側面に設けられたサイドウォールによって埋められていることが好ましい。

【0028】本発明の第1の態様に係る電界効果型半導体装置の作製方法においては、前記工程(ニ)は、全面に金属から成る導電材料層を堆積させた後、この導電材料層を平坦化する工程から成ることが好ましい。あるいは又、前記工程(ニ)は、全面に半導体用材料から成る下層を堆積させた後、この下層及びその下方の前記半導体基板に不純物をドーピングする工程と、該下層上に金属材料から成る上層を堆積させた後、該上層及び下層を平坦化する工程から成ることが好ましい。平坦化の方法として、エッチバック法や化学的機械的研磨法を例示することができる。

【0029】本発明の第1の態様に係る電界効果型半導体装置の作製方法においては、前記工程(ハ)と工程(ニ)の間に、活性領域形成予定領域が露出するように、絶縁層をサイドウォール上に形成する工程を含むことができる。この場合、ゲート電極から延在する素子分離領域上の導電体パターンと、該導電体パターンと略平行に延びるダミーパターンとの間、及び／又は、ゲート電極から延在する素子分離領域上の導電体パターンとそれに隣接する導電体パターン、及び／又は、素子分離領域上のダミーパターンとそれに隣接するダミーパターンとの間は、それらの側面に設けられたサイドウォール及び絶縁層によって埋められていることが好ましい。

【0030】本発明の第1の態様に係る電界効果型半導体装置の作製方法においては、前記工程(ニ)の後、全面に層間絶縁層を形成し、次いで、該層間絶縁層をエッチバックして、所望の凹部、及び／又はゲート電極、及び／又はダミーパターンの部分の上方の層間絶縁層に開口部を形成し、その後、該開口部内にコンタクトプラグを形成する工程を更に含むことができる。

【0031】上記の第1、第2及び第3の目的を達成するための本発明の第2の態様に係る電界効果型半導体装



置の作製方法は、(イ)半導体基板に、素子分離領域、及び該素子分離領域で囲まれた活性領域形成予定領域を形成する工程と、(ロ)活性領域形成予定領域上に多結晶シリコン層を形成し、次いで、該多結晶シリコン層上に絶縁膜を形成し、その後、該絶縁膜及び多結晶シリコン層をパターンニングしてパターンニング層を形成する工程と、(ハ)素子分離領域上に、該パターンニング層と略平行に延びるダミーパターンを形成する工程と、(ニ)該ダミーパターンの側面並びに該パターンニング層の側面に、絶縁材料から成るサイドウォールを設け、以て、ダミーパターンの側面に設けられた該サイドウォールと、該パターンニング層の側面に設けられた該サイドウォールとの間に、前記活性領域形成予定領域が底部に露出した凹部を形成する工程と、(ホ)多結晶シリコン層上の絶縁膜を除去する工程と、(ヘ)多結晶シリコン層及び該凹部の底部に露出した活性領域形成予定領域に不純物をドーピングする工程と、(ト)該凹部を導電材料で埋め込み、且つ、該パターンニングされた多結晶シリコン層の側面に設けられたサイドウォール間を該導電材料で埋め込み、以て、不純物がドーピングされた多結晶シリコン層及び該導電材料の2層構成のゲート電極を形成する工程、から成ることを特徴とする。

【0032】上記の第1、第2及び第3の目的を達成するための本発明の第3の態様に係る電界効果型半導体装置の作製方法は、(A)表面チャネル構造を有するN型チャネルと、N型不純物がドーピングされた多結晶シリコン層と金属層の2層構造を有するゲート電極を備えたN型MOSトランジスタと、(B)表面チャネル構造を有するP型チャネルと、P型不純物がドーピングされた多結晶シリコン層と金属層の2層構造を有するゲート電極を備えたP型MOSトランジスタ、から構成されたデュアルゲート型MOSトランジスタから成る電界効果型半導体装置の製造方法であって、(イ)半導体基板に、素子分離領域、及び該素子分離領域で囲まれたN型MOSトランジスタ及びP型MOSトランジスタの活性領域形成予定領域をそれぞれ形成する工程と、(ロ)活性領域形成予定領域上に多結晶シリコン層を形成し、次いで、該多結晶シリコン層上に絶縁膜を形成し、その後、該絶縁膜及び多結晶シリコン層をパターンニングしてパターンニング層を形成する工程と、(ハ)素子分離領域上に、該パターンニング層と略平行に延びるダミーパターンを形成する工程と、(ニ)該ダミーパターンの側面並びに該パターンニング層の側面に、絶縁材料から成るサイドウォールを設け、以て、ダミーパターンの側面に設けられた該サイドウォールと、該パターンニング層の側面に設けられた該サイドウォールとの間に、前記活性領域形成予定領域が底部に露出した凹部を形成する工程と、(ホ)多結晶シリコン層上の絶縁膜を除去する工程と、(ヘ)N型MOSトランジスタの活性領域形成予定領域における多結晶シリコン層、及び該凹部の底部に露出し

たN型MOSトランジスタの活性領域形成予定領域にN型不純物をドーピングし、P型MOSトランジスタの活性領域形成予定領域における多結晶シリコン層、及び該凹部の底部に露出したP型MOSトランジスタの活性領域形成予定領域にP型不純物をドーピングする工程と、(ト)該凹部を導電材料で埋め込み、且つ、該パターンニングされた多結晶シリコン層の側面に設けられたサイドウォール間を該導電材料で埋め込み、以て、不純物がドーピングされた多結晶シリコン層及び該導電材料の2層構成のゲート電極を形成する工程、から成ることを特徴とする。

【0033】本発明の第2あるいは第3の態様に係る電界効果型半導体装置の作製方法においては、上記、多結晶シリコン層上の絶縁膜を除去する工程(ホ)において、サイドウォールが除去されないことが必要である。従って、絶縁膜を構成する材料及びサイドウォールを構成する材料は、かかる要件を満足する材料の組合せとすればよい。その一例として、絶縁膜を構成する材料として酸化シリコンを、サイドウォールを構成する絶縁材料として窒化シリコンを挙げることができる。

【0034】本発明の第2あるいは第3の態様に係る電界効果型半導体装置の作製方法においては、素子分離領域上に延びるパターンニング層と、パターンニング層と略平行に延びるダミーパターンとの間、及び/又は、素子分離領域上に延びるパターンニング層とそれに隣接するパターンニング層との間、及び/又は、素子分離領域上のダミーパターンとそれに隣接するダミーパターンとの間は、それらの側面に設けられたサイドウォールによって埋められていることが好ましい。

【0035】本発明の第2あるいは第3の態様に係る電界効果型半導体装置の作製方法における前記工程(ト)は、全面に金属から成る導電材料層を堆積させた後、該導電材料層を平坦化する工程から成ることが好ましい。あるいは又、全面に半導体用材料から成る下層を堆積させた後、該下層及びその下方の前記半導体基板に不純物をドーピングする工程と、該下層上に金属材料から成る上層を堆積させた後、該上層及び下層を平坦化する工程から成ることが好ましい。

【0036】本発明の第2あるいは第3の態様に係る電界効果型半導体装置の作製方法においては、前記工程(ヘ)と工程(ト)の間に、活性領域形成予定領域が露出するように、絶縁層をサイドウォール上に形成する工程を含むことができる。この場合、素子分離領域上に延びるパターンニング層と、パターンニング層と略平行に延びるダミーパターンとの間、及び/又は、素子分離領域上に延びるパターンニング層とそれに隣接するパターンニング層との間、及び/又は、素子分離領域上のダミーパターンとそれに隣接するダミーパターンとの間は、それらの側面に設けられたサイドウォール及び絶縁層によって埋められていることが好ましい。

【0037】本発明の第2あるいは第3の態様に係る電界効果型半導体装置の作製方法においては、前記工程(ト)の後、全面に層間絶縁層を形成し、次いで、該層間絶縁層をエッチバックして、所望の凹部、及び／又はゲート電極、及び／又はダミーパターンの部分の上方の層間絶縁層に開口部を形成し、その後、開口部内にコンタクトプラグを形成する工程を更に含むことができる。

【0038】本発明においては、ダミーパターンの側面に設けられたサイドウォールと、パターンニング層の側面に設けられたサイドウォールとの間に、凹部が自己整合的に形成される。従って、従来技術のように、拡散領域とのコンタクトを形成するための開口部をフォトリソグラフィ技術及びドライエッチング技術によって層間絶縁層に設ける必要が無くなる。従って、LOCOS構造を有する素子分離領域のバースピークをエッチングすることが無い。また、凹部内に導電層が形成されているので、拡散領域のシート抵抗を低減することができる。また、熱処理によって金属の結晶粒が成長し結晶粒同士が分離することによる拡散領域のシート抵抗の上昇といった問題が発生することがないので、熱処理を行い易い。しかも、半導体基板を構成するシリコンと導電層とは直接、反応することがないので、半導体基板に加わる応力が小さく、且つアロイスバイクによる接合リークが拡散領域で生じる可能性も低い。上層の配線と拡散領域とを電気的に接続する場合には、導電層上に形成された層間絶縁層に開口部を形成すればよいので、LOCOS構造を有する素子分離領域のバースピークをエッチングすることが無い。

【0039】導電層を、不純物がドーピングされた半導体材料から成る下層及び金属材料から成る上層から構成すれば、下層の膜厚分だけ浅い拡散領域を半導体基板に形成することが可能となる。しかも、下層上に金属材料から成る上層が形成されているので、浅い拡散領域にも拘らずシート抵抗を低減することができる。

【0040】ゲート電極を、不純物がドーピングされた多結晶シリコン層、及びその上に堆積された導電層から構成すれば、拡散領域のシート抵抗のみならず、ゲート電極の抵抗も低減することができる。しかも、多結晶シリコン層と導電層とを、直接反応させているわけではないので、ゲート絶縁膜に加わる応力が小さいので、ゲート絶縁膜の劣化が少ない。

【0041】また、ゲート電極を、不純物がドーピングされた多結晶シリコン層を形成した後、その上に導電層を堆積することによって形成すれば、不純物のイオン注入工程において、不純物をドーピングした多結晶シリコン層に対して、800～1100℃の温度雰囲気にて電気炉アニール処理又は高速アニール処理を行い、イオン注入された不純物を活性化させたとき、かかる熱処理の結果、ゲート電極を構成する多結晶シリコン層中の不純物が相互拡散し、各トランジスタのゲート電極にお

る多結晶シリコン層中の不純物濃度の低下が生じ、トランジスタの特性が変化するという従来のデュアルゲート構造の電界効果型半導体装置の製造技術における問題を回避することができる。

【0042】更には、活性領域形成予定領域が露出するように、絶縁層をサイドウォール上に形成すれば、一層確実に且つ容易に、活性領域形成予定領域が底部に露出した凹部を形成することができる。また、全面に層間絶縁層を形成した後、層間絶縁層をエッチバックすることによって、コンタクトプラグを形成するための開口部を、自己整合的に層間絶縁層に形成することができる。

【0043】

【実施例】以下、図面を参照して、実施例に基づき本発明を説明する。

【0044】(実施例1) 実施例1は、本発明の電界効果型半導体装置、及び本発明の第1の態様に係る電界効果型半導体装置の製造方法に関する。実施例1においては、図7に模式的な部分的平面図を示す2入力NANDゲートを構成するためのCMOSトランジスタを作製する。

【0045】実施例1における電界効果型半導体装置は、図1の模式的な一部断面図に示すように、活性領域と素子分離領域11から成り、活性領域には拡散領域18、21とチャネル領域22とゲート電極15とが形成されている。そして、ゲート電極15と略平行に延びるダミーパターン16が、素子分離領域11上に形成されている。実施例1においては、孤立パターンであるダミーパターン16の構造をゲート電極15と同じ構造とした。また、絶縁材料(具体的にはSiO<sub>2</sub>)から成るサイドウォール19が、ゲート電極15及びダミーパターン16の側面に設けられている。そして、ゲート電極15の側面に設けられたサイドウォール19とダミーパターン16の側面に設けられたサイドウォール19との間に、凹部20が形成されている。この凹部20の底部には拡散領域21が露出している(図3参照)。更には、導電層24が凹部20内に形成されている。

【0046】実施例1における電界効果型半導体装置においては、図5の(B)の模式的な部分的平面図に示すように、活性領域形成予定領域上に形成されたゲート電極15は素子分離領域11上にも延在する。かかる素子分離領域11上に延在するゲート電極の部分を、導電体パターン15Aと呼ぶ。ゲート電極15から延在する素子分離領域11上の導電体パターン15Aと、それに隣接する導電体パターン15Aとの間は、それらの側面に設けられたサイドウォール19によって埋められている。こうして、凹部20は、恰もサイドウォール19によって囲まれている構造となっている。尚、実施例1においては、ゲート電極15と導電体パターン15Aとは同じ構造を有する。

【0047】実施例1においては、導電層24は金属材料

料（具体的にはタングステン）から成る。尚、図1中、参照番号23はTiN層/Ti層、参照番号30は層間絶縁層、参照番号31は開口部、参照番号32はタングステンから成るコンタクトプラグ、参照番号33はアルミニウム系合金から成る配線である。

【0048】以下、図1～図6を参照して、実施例1の電界効果型半導体装置の製造方法を説明する。

【0049】[工程-100] 先ず、シリコン半導体基板から成る半導体基板10に、素子分離領域11、及び素子分離領域11で囲まれた活性領域形成予定領域を、公知の方法で形成する。実施例1においては、SiO<sub>2</sub>から成る素子分離領域11をLOCOS法にて形成したが、これに限定されるものではなく、例えばトレンチ構造を有する素子分離領域を形成してもよい。次いで、公知の方法で活性領域形成予定領域の表面の半導体基板10を酸化し、SiO<sub>2</sub>から成るゲート酸化膜12を形成する。その後、不純物を含有する多結晶シリコン層13及びタングステンシリサイド層14から成るタングステンポリサイド層を全面に形成し、このタングステンポリサイド層上にCVD法でSiO<sub>2</sub>から成る絶縁膜（オフセット絶縁膜）17を堆積させる。

【0050】[工程-110] その後、ゲート電極15を活性領域形成予定領域上に形成し、ゲート電極15と略平行に延びるダミーパターン16を素子分離領域11上に形成する。即ち、絶縁膜17、タングステンシリサイド層14及び多結晶シリコン層13をパターンニングして、タングステンシリサイド層14及び多結晶シリコン層13から成るゲート電極15並びにダミーパターン16を形成する。尚、ゲート電極15並びにダミーパターン16の上には、パターンニングされた絶縁膜17が存在する。この状態を、図2の(A)に模式的な一部断面図で示す。また、図5の(A)に部分的な模式的平面図で示す。尚、図1～図4は、図5の(A)の線A-Aに沿った断面図である。実施例1においては、ゲート電極15とダミーパターン16とは同じ構造を有する。ダミーパターン16は、実施例1においては、図5の(A)に示すように、活性領域形成予定領域（境界を点線で示す）の一辺に沿って、活性領域形成予定領域に近接した素子分離領域11上に形成された孤立パターンとした。

【0051】活性領域形成予定領域におけるゲート電極15とゲート電極15の間隔、あるいは又、ゲート電極15とダミーパターン16の間隔を、後に説明するサイドウォールの底部の長さL<sub>sw</sub>の2倍よりも大きくなるように設定する。一方、素子分離領域11上に位置する導電体パターン15Aと導電体パターン15Aの間隔（場合によっては、導電体パターン15Aとダミーパターン16の間隔、あるいはダミーパターン16とダミーパターン16の間隔）を、パターンニングが可能な範囲内で、サイドウォールの底部の長さL<sub>sw</sub>の2倍よりも小さくなるように設定する。

【0052】[工程-120] その後、N型MOSTランジスタ形成予定領域とP型MOSTランジスタ形成予定領域とをレジスト（図示せず）で交互に覆い、これらのレジストと絶縁膜17及び素子分離領域11とをマスクとして、半導体基板10に不純物をイオン注入して、低濃度の拡散領域18を形成する（図2の(B)参照）。N型MOSTランジスタ領域の拡散領域18を形成するための不純物として、例えばAs<sup>+</sup>を用い、P型MOSTランジスタ領域の拡散領域18を形成するための不純物として、例えばBF<sub>3</sub><sup>+</sup>又はB<sup>+</sup>を用いることができる。何れの場合にも、数十keVの加速エネルギー及び10<sup>12</sup>～10<sup>14</sup>cm<sup>-2</sup>のドーズ量でイオン注入を行う。

【0053】[工程-130] 次に、絶縁膜17の側面を含むゲート電極15及びダミーパターン16の側面に、絶縁材料から成るサイドウォール19を設け、以て、ゲート電極15の側面に設けられたサイドウォール19とダミーパターン16の側面に設けられたサイドウォール19との間に、活性領域形成予定領域が底部に露出した凹部20を形成する（図3の(A)参照）。尚、実施例1においては、相互に隣接するゲート電極15の側面に、絶縁材料から成るサイドウォール19を設け、以て、隣接するゲート電極15の側面に設けられたサイドウォール19の間に、活性領域形成予定領域が底部に露出した凹部20Aを併せて形成した。

【0054】具体的には、O<sub>2</sub>-TEOSを原料とするCVD法によるSiO<sub>2</sub>膜を数百nmの膜厚で全面に堆積させ、このSiO<sub>2</sub>膜の全面をエッチバックすることにより、SiO<sub>2</sub>から成るサイドウォール19をゲート電極15、ダミーパターン16及び導電体パターン15Aの側面に形成することができる。尚、サイドウォール19を、SiO<sub>2</sub>の代わりに、BPSG膜や減圧CVD法によるSiN膜等の段差被覆性が優れた絶縁膜から形成することもできる。

【0055】先に説明したように、実施例1においては、活性領域形成予定領域におけるゲート電極15とゲート電極15の間隔、あるいは又、ゲート電極15とダミーパターン16の間隔は、サイドウォールの底部の長さL<sub>sw</sub>の2倍よりも大きく設定されている。従って、活性領域形成予定領域が底部に露出した凹部20、20Aを形成することができる。この凹部20、20Aの底部に露出した活性領域形成予定領域の部分に、次の工程で高濃度の拡散領域21を形成する。

【0056】一方、素子分離領域11上に位置する導電体パターン15Aと導電体パターン15Aの間隔は、パターンニングが可能な範囲内で、サイドウォールの底部の長さL<sub>sw</sub>の2倍よりも小さく設定されている。従って、ゲート電極15から延在する素子分離領域11上の導電体パターン15Aと、それに隣接する導電体パターン15Aとの間は、それらの側面に設けられたサイドウォール

ル19によって埋められている。こうして、凹部20は、恰もサイドウォール19によって囲まれている構造となっている。この状態を、図5の(B)の模式的な部分的平面図に示す。尚、図5の(B)において、サイドウォール19を明確化するために、サイドウォール19の領域に斜線を付した。

【0057】[工程-140]その後、N型MOSトランジスタ形成予定領域とP型MOSトランジスタ形成予定領域とをレジスト(図示せず)で交互に覆い、これらのレジストと絶縁膜17、サイドウォール19及び素子分離領域11とをマスクとして、半導体基板10に不純物をイオン注入して、高濃度の拡散領域21を形成する(図3の(B)参照)。N型MOSトランジスタ領域の高濃度拡散領域21を形成するための不純物として、例えばAs<sup>+</sup>又はP<sup>+</sup>を用い、P型MOSトランジスタ領域の高濃度拡散領域21を形成するための不純物として、例えばBF<sub>3</sub><sup>+</sup>又はB<sup>+</sup>を用いることができる。何れの場合にも、数十keVの加速エネルギー及び10<sup>15</sup>~10<sup>16</sup>cm<sup>-2</sup>のドーズ量でイオン注入を行う。その後、800~1100°Cの温度雰囲気にて電気炉アニール処理又は高速アニール処理を行い、イオン注入された不純物を活性化させる。こうして、高濃度拡散領域21から成るソース・ドレイン領域、及びチャネル領域22が形成される。

【0058】[工程-150]次に、凹部20、20Aを導電材料で埋め込む。即ち、全面に金属から成る導電材料層を堆積させた後、この導電材料層を平坦化する。具体的には、膜厚がそれぞれ数~数十nmのTi層及びTiN層を、スパッタ法にて順次、凹部20、20A内を含む全面に堆積させる。Ti層及びTiN層を形成する理由は、オーミックな低コンタクト抵抗を得ること、タングステンCVD法にて成膜する際の半導体基板10の損傷発生の防止、タングステンの密着性向上のためである。尚、場合によっては、TiあるいはTiNの1層構成とすることもできる。Ti層及びTiN層のスパッタ条件を以下に例示する。

Ti層(厚さ:30nm)

プロセスガス:Ar=100sccm

圧力:0.4Pa

DC電力:5kW

基板加熱温度:150°C

TiN層(厚さ:70nm)

プロセスガス:N<sub>2</sub>/Ar=80/30sccm

圧力:0.4Pa

DC電力:5kW

基板加熱温度:150°C

【0059】TiN層の成膜後、TiN層のバリア性向上のために、以下に例示する条件のアニール処理を施すことが望ましい。

雰囲気:窒素ガス100%

温度:450°C

時間:30分

【0060】その後、TiN層上にタングステンから成る導電材料層を所謂ブランケットタングステンCVD法にて成膜する。タングステンから成る導電材料層の成膜条件を、以下に例示する。

使用ガス:WF<sub>6</sub>/H<sub>2</sub>/Ar=75/500/2800sccm

圧力:1.06×10<sup>4</sup>Pa

10 成膜温度:450°C

【0061】次に、タングステンから成る導電材料層、TiN層、Ti層をエッチバックして導電材料層を平坦化する。エッチバックの条件を以下に例示する。

使用ガス:SF<sub>6</sub>/Cl<sub>2</sub>=25/20sccm

圧力:1Pa

マイクロ波電力:950W

RF電力:50W(2MHz)

【0062】こうして、凹部20、20Aは、タングステンから成る導電材料で埋め込まれ、凹部20、20A内にはタングステンから成る導電層24が形成される。この状態を、図4の模式的な一部断面図、及び図6の模式的な部分的平面図に示す。尚、図中、TiN層/Ti層を纏めて参照番号23で示した。また、図6において、導電層24を明確化するために、導電層24の領域に斜線を付した。上述のエッチバックの代わりに、タングステンから成る導電材料層及びTiN層/Ti層23と、絶縁膜17及びサイドウォール19とを化学的機械的研磨法(CMP法)で研削して、平坦化することもできる。

30 【0063】[工程-160]次に、全面に、例えばBPSGから成る層間絶縁層30を堆積させた後、導電層24に達する開口部31をRIE法にて層間絶縁層30に設ける。そして、ブランケットタングステンCVD法にて、開口部31内にタングステンから成るコンタクトプラグ32を形成する。尚、ブランケットタングステンCVD法にてタングステン層を成膜する前に、開口部31内を含む層間絶縁層30の上に、TiN層/Ti層、あるいは、TiN層をスパッタ法にて成膜してもよい。その後、コンタクトプラグ32上を含む層間絶縁層30の全面に、アルミニウム系合金から成る配線材料層をスパッタ法にて成膜し、次いで、フォトリソグラフィ技術及びドライエッチング技術を用いて配線材料層をパターンニングして配線33を完成させる(図1参照)。配線材料層のスパッタ条件を以下に例示する。

ターゲット:Al-0.5%Cu

プロセスガス:Ar=100sccm

圧力:0.4Pa

DC電力:5kW

基板加熱温度:300°C

50 【0064】尚、場合によっては、開口部31内にタン

グステンから成るコンタクトプラグを形成せずに、開口部31を配線材料層で埋め込んでもよい。この場合には、開口部31内を配線材料層で確実に埋め込むために、開口部31内を含む層間絶縁層30上に、例えばTiから成る濡れ性改善層を成膜する。その後、所謂高温アルミニウムスパッタ法（上記の成膜条件において基板加熱温度を500°C前後とし、層間絶縁層30上に堆積したアルミニウム系合金を流動状態とし、開口部31内をアルミニウム系合金で埋め込む方法）や、アルミニウムリフロー法（上記の成膜条件において基板加熱温度を150°C前後とし、層間絶縁層30上に堆積したアルミニウム系合金を堆積させた後、基板を500°C前後に加熱し、層間絶縁層30上のアルミニウム系合金を流動状態とすることによって、開口部31内をアルミニウム系合金で埋め込む方法）、あるいは高圧リフロー法（アルミニウムリフロー法において、層間絶縁層30上に堆積したアルミニウム系合金を堆積させた後、10<sup>6</sup> Pa程度の高圧雰囲気中で基板を加熱し、層間絶縁層30上のアルミニウム系合金を流動状態とすることによって、開口部31内をアルミニウム系合金で埋め込む方法）を採用することで、アルミニウム系合金から成るコンタクトプラグを開口部31内に形成することもできる。以下の実施例においても、同様である。

【0065】更に、公知の工程を実行して、電界効果型半導体装置を完成させる。

【0066】（実施例2）実施例2は実施例1の変形である。実施例2が実施例1と相違する点は、導電層が、不純物がドーピングされた半導体材料から成る下層及び金属材料から成る上層から構成されている点にある。実施例2において、凹部20、20Aを形成するまでの工程は、実施例1の【工程-100】～【工程-130】と実質的に同様とすることができる。以下、凹部20、20Aが形成された後の工程を、図8～図10を参照して説明する。

【0067】【工程-200】実施例1の【工程-130】に続き、全面に半導体用材料から成る下層40（具体的には、膜厚が数十～数百nmの多結晶シリコン層）をCVD法にて堆積させる（図8の（A）参照）。

【0068】【工程-210】その後、半導体用材料から成る下層40及びこの下層40の下方の半導体基板10に不純物をドーピングする。この工程は、実質的には、実施例1の【工程-140】と同様とすることができる。こうして、図8の（B）に模式的な一部断面図を示すように、高濃度の拡散領域21から成るソース・ドレイン領域、及びチャネル領域22を形成することができる。

【0069】【工程-220】次いで、金属（例えばタングステン）から成る導電材料層42を下層40上に堆積させた後、導電材料層42及び下層40を平坦化する（図9参照）。この工程は、実質的には、実施例1の

【工程-150】と同様とすることができる。尚、導電材料層の形成に先立ち、実施例1の【工程-150】と同様に、TiN層/Ti層41を下層40上に成膜しておく。これによって、不純物がドーピングされた半導体材料から成る下層40及び金属材料から成る上層である導電材料層42から構成された導電層が凹部20、20A内に形成される。

【0070】【工程-230】その後、化学的機械的研磨法で絶縁膜17及びサイドウォール19（場合によっては、下層40及び金属材料から成る上層である導電材料層42から構成された導電層）を研削して平坦化した後、実施例1の【工程-160】と同様の方法で、層間絶縁層30の形成、開口部31の形成、コンタクトプラグ32の形成、配線33の形成を行う（図10参照）。

【0071】実施例2においては、多結晶シリコンから成る下層40を介して不純物をイオン注入することによって高濃度の拡散領域21を形成するので、多結晶シリコンから成る下層40の膜厚分だけ拡散領域21を浅くすることができ、高濃度の拡散領域21を低濃度の拡散領域18内に形成することができる。このため、接合容量を低減させ、且つ接合耐圧を向上させることができる。更には、特にP型MOSトランジスタにおける短チャネル効果を効果的に抑制することができる。

【0072】（実施例3）実施例3は、本発明の電界効果型半導体装置、及び本発明の第2の態様、あるいは又、本発明の第3の態様に係る電界効果型半導体装置の製造方法に関する。実施例3においては、デュアルゲート型MOSトランジスタを作製する。尚、図面には、一方のMOS型トランジスタを作製する各工程を説明するための半導体基板等の模式的な一部断面図のみを示した。

【0073】実施例3における電界効果型半導体装置のゲート電極の構造は、実施例1における電界効果型半導体装置のゲート電極の構造と若干相違している。即ち、実施例3においては、図11に模式的な一部断面図を示すように、ゲート電極115は、不純物がドーピングされた多結晶シリコン層13、及びその上に堆積された導電層24から成り、凹部20に形成された導電層24とゲート電極115を構成する導電層24とはサイドウォール119によって分離されている。尚、導電層24は金属材料（具体的にはタングステン）から成る。ゲート電極115がこのような構造であるが故に、実施例3における電界効果型半導体装置のゲート電極の形成方法は、実施例1における電界効果型半導体装置のゲート電極の形成方法と相違している。ゲート電極115及びダミーパターン116以外の電界効果型半導体装置の構造は、実施例1と実質的に同様である。

【0074】実施例3においても、ゲート電極から延在する素子分離領域上の導電体パターンとそれに隣接する導電体パターンとの間は、それらの側面に設けられたサ

イドウオールによって埋められている。

【0075】以下、図11～図15を参照して、実施例3の電界効果型半導体装置の製造方法を説明する。

【0076】[工程-300] 先ず、シリコン半導体基板から成る半導体基板10に、公知の方法で、素子分離領域11、及び該素子分離領域で囲まれたN型MOSトランジスタ及びP型MOSトランジスタの活性領域形成予定領域をそれぞれ形成する。実施例3においては、 $\text{SiO}_2$ から成る素子分離領域11をLOCOS法にて形成したが、これに限定されるものではなく、例えばトレ

10  
ンチ構造を有する素子分離領域を形成してもよい。次いで、公知の方法で活性領域形成予定領域の表面の半導体基板10を酸化し、 $\text{SiO}_2$ から成るゲート酸化膜12を形成する。  
【0077】[工程-310] 次に、活性領域形成予定領域上に不純物を含有していない多結晶シリコン層13Aを形成し、次いで、多結晶シリコン層13A上に $\text{SiO}_2$ （酸化シリコン）から成る絶縁膜17を形成し、その後、絶縁膜17及び多結晶シリコン層13Aをバタ

20  
ーニングして、絶縁膜17及び多結晶シリコン層13Aから成るバターニング層115Aを形成する。バターニング層115Aのバターン形状は、最終的に形成されるゲート電極及び導電体パターンのバターン形状と一致させておく。併せて、素子分離領域11上の絶縁膜17及び多結晶シリコン層13Aをバターニングして、バターニング層115Aと略平行に延びるダミーバターン116を素子分離領域11上に形成する。この状態を、図12の(A)の模式的な一部断面図に示す。尚、実施例3においては、バターニング層115Aとダミーバターン116とは同じ構造を有する。

【0078】活性領域形成予定領域におけるバターニング層115Aとバターニング層115Aの間隔、あるいは又、バターニング層115Aとダミーバターン116の間隔を、サイドウォールの底部の長さ $L_{sw}$ の2倍よりも大きくなるように設定する。一方、バターニング層115Aから延在しそして素子分離領域11上に位置する導電体パターンと導電体パターンの間隔を、バターニングが可能な範囲内で、サイドウォールの底部の長さ $L_{sw}$ の2倍よりも小さくなるように設定する。尚、実施例3

40  
においては、導電体パターンはバターニング層115Aと同じ構造を有する。  
【0079】[工程-320] その後、実施例1の[工程-120]と同様の方法で、N型MOSトランジスタ形成予定領域とP型MOSトランジスタ形成予定領域とをレジスト（図示せず）で交互に覆い、これらのレジストと絶縁膜17及び素子分離領域11とをマスクとして、半導体基板10に不純物をイオン注入して、低濃度の拡散領域18を形成する（図12の(B)参照）。

【0080】[工程-330] 次いで、ダミーバターン116の側面並びにバターニング層115Aの側面に、

絶縁材料（実施例3においては窒化シリコン、 $\text{SiN}$ ）から成るサイドウォール119を設け、以て、ダミーバターン116の側面に設けられたサイドウォール119と、バターニング層115Aの側面に設けられたサイドウォール119との間に、活性領域形成予定領域が底部に露出した凹部20を形成する（図13の(A)参照）。尚、実施例3においても、相互に隣接するバターニング層115Aの側面に、絶縁材料から成るサイドウォール119を設け、以て、隣接するバターニング層115Aの側面に設けられたサイドウォール119の間に、活性領域形成予定領域が底部に露出した凹部20Aを併せて形成した。

【0081】具体的には、先ず、 $\text{NH}_3$ 雰囲気中におけるランブアニール法にて、膜厚が数オングストロームの $\text{SiN}$ 膜（図示せず）を半導体基板10の表面に形成する。尚、この $\text{SiN}$ 膜は必ずしも必要ではない。その後、膜厚が数十～数百nmの $\text{SiN}$ 膜を減圧CVD法で全面に堆積させ、次いで、 $\text{SiN}$ 膜の全面をエッチバックして、 $\text{SiN}$ （窒化シリコン）から成るサイドウォール119をダミーバターン116の側面並びにバターニング層115Aの側面に形成する。

【0082】先に説明したように、実施例3においても、活性領域形成予定領域におけるバターニング層115Aとバターニング層115Aの間隔、あるいは又、バターニング層115Aとダミーバターン116の間隔は、サイドウォールの底部の長さ $L_{sw}$ の2倍よりも大きく設定されている。従って、活性領域形成予定領域が底部に露出した凹部20、20Aを形成することができる。この凹部20、20Aの底部に露出した活性領域形成予定領域の部分に、後の工程で高濃度の拡散領域21を形成する。

【0083】一方、素子分離領域11上に位置する導電体パターンと導電体パターンの間隔は、バターニングが可能な範囲内で、サイドウォールの底部の長さ $L_{sw}$ の2倍よりも小さく設定されている。従って、バターニング層115Aから延在する素子分離領域11上の導電体パターンと、それに隣接する導電体パターンとの間は、それらの側面に設けられたサイドウォール119によって埋められている。こうして、凹部20は、恰もサイドウォール119によって囲まれている構造となっている。この状態は、実質的には、図5の(B)の模式的な部分的平面図に示したと同様の状態である。

【0084】[工程-340] 次に、多結晶シリコン層13A上の $\text{SiO}_2$ から成る絶縁膜17を除去する（図13の(B)参照）。即ち、レジスト50を全面に塗布し、次いでレジスト50をエッチバックして、凹部20、20Aの底部に露出した活性領域形成予定領域の上にレジスト50を残す。尚、このレジスト50は必ずしも必要ではない。そして、 $\text{SiN}$ から成るサイドウォール119、レジスト50をエッチング用マスクとし、多

結晶シリコン層13Aをエッチングストッパーとして、多結晶シリコン層13A上の $\text{SiO}_2$ から成る絶縁膜17を弗酸で除去する。こうして、サイドウォール119にて凹部20、20Aと分離されている凹部20Bが多結晶シリコン層13Aの上に形成される。尚、かかる多結晶シリコン層13Aもバターニング層115Aと呼ぶ。

【0085】[工程-350]その後、多結晶シリコン層13A及び凹部20、20Aの底部に露出した活性領域形成予定領域に不純物をドーピングする。即ち、レジスト50を除去し、N型MOSトランジスタ形成予定領域とP型MOSトランジスタ形成予定領域とをレジスト(図示せず)で交互に覆い、これらのレジストと素子分離領域11とをマスクとして、多結晶シリコン層13A及び半導体基板10に不純物をイオン注入して、不純物がドーピングされた多結晶シリコン層13、及び高濃度の拡散領域21を形成する(図14参照)。即ち、N型MOSトランジスタの活性領域形成予定領域における多結晶シリコン層13A、及び凹部20、20Aの底部に露出したN型MOSトランジスタの活性領域形成予定領域にはN型不純物がドーピングされる。一方、P型MOSトランジスタの活性領域形成予定領域における多結晶シリコン層13A、及び凹部20、20Aの底部に露出したP型MOSトランジスタの活性領域形成予定領域にはP型不純物がドーピングされる。この工程は実質的には実施例1の[工程-140]と同様とすることができる。こうして、高濃度拡散領域21から成るソース・ドレイン領域、及びチャネル領域22が形成される。

【0086】尚、不純物のイオン注入工程において、N型MOSトランジスタの活性領域形成予定領域における多結晶シリコン層13AにはN型不純物がドーピングされ、一方、P型MOSトランジスタの活性領域形成予定領域における多結晶シリコン層13AにはP型不純物がドーピングされるので、デュアルゲート構造が形成される。この時点では、従来のデュアルゲート型MOSトランジスタの製造方法と異なり、多結晶シリコン層13の上にシリサイド層等が形成されていない。従って、800~1100°Cの温度雰囲気にて電気炉アニール処理又は高速アニール処理を行い、イオン注入された不純物を活性化させたとき、かかる熱処理の結果、ゲート電極を構成する多結晶シリコン層中の不純物がシリサイド層を介して相互拡散し、各トランジスタのゲート電極における多結晶シリコン層中の不純物濃度の低下が生じ、トランジスタの特性が変化するという従来技術における問題を回避することができる。

【0087】[工程-360]次に、凹部20、20Aを導電材料で埋め込み、導電層24を凹部20、20A内に形成する。併せて、バターニングされた多結晶シリコン層13の側面に設けられたサイドウォール119間(凹部20B)を導電材料で埋め込み、以て、不純物が

ドーピングされた多結晶シリコン層13及び導電材料24の2層構成のゲート電極115を形成する(図15参照)。

【0088】具体的には、実施例1の[工程-150]と同様に、TiN層/Ti層23を全面にスパッタ法にて堆積させた後、ブランケットタングステンCVD法にて全面にタングステンから成る導電材料層を堆積させる。次いで、導電材料層を平坦化する。

【0089】[工程-370]次に、 $\text{O}_3$ -TEOSを原料とするCVD法で不純物を含まない $\text{SiO}_2$ から成る層間絶縁層130を形成する。あるいは又、バイアスECR-CVD法で $\text{SiO}_2$ から成る層間絶縁層130を形成する。そして、層間絶縁層130を、例えば化学的機械的研磨法にて平坦化する。その後、導電層24に達する開口部31をRIE法にて層間絶縁層130に設ける。そして、ブランケットタングステンCVD法にて、開口部31内にタングステンから成るコンタクトプラグ32を形成する。その後、コンタクトプラグ32上を含む層間絶縁層130の全面に、アルミニウム系合金から成る配線材料層をスパッタ法にて成膜し、次いで、フォトリソグラフィ技術及びドライエッチング技術を用いて配線材料層をバターニングし、配線33を完成させる(図11参照)。この工程は、実質的には実施例1の[工程-160]と同様とすることができる。尚、ブランケットタングステンCVD法にてタングステン層を形成する前に、開口部31内を含む層間絶縁層130の上に、TiN層/Ti層、あるいは、TiN層をスパッタ法にて成膜してもよい。更に、公知の工程を実行して、電界効果型半導体装置を完成させる。

【0090】(実施例4)実施例4は実施例3の変形である。実施例4が実施例3と相違する点は、導電層が、不純物がドーピングされた半導体材料から成る下層及び金属材料から成る上層から構成されている点にある。実施例4において、凹部20、20A、20Bを形成するまでの工程は実施例3の[工程-300]~[工程-340]と実質的に同様とすることができる。以下、凹部20、20A、20Bが形成された後の工程を、図16~図18を参照して説明する。

【0091】[工程-400]実施例3の[工程-340]に続き、全面に半導体用材料から成る下層40(具体的には、膜厚が数十~数百nmの多結晶シリコン層)をCVD法にて堆積させる(図16の(A)参照)。

【0092】[工程-410]その後、多結晶シリコン層13A、並びに半導体用材料から成る下層40及びこの下層40の下方の半導体基板10に不純物をドーピングする。この工程は、実質的には、実施例3の[工程-350]と同様とすることができる。こうして、図16の(B)に模式的な一部断面図を示すように、不純物がドーピングされた多結晶シリコン層13、及び高濃度の拡散領域21を形成することができる。

【0093】[工程-420]次いで、金属(例えばタングステン)から成る導電材料層42を下層40上に堆積させた後、導電材料層42及び下層40を平坦化する(図17参照)。この工程におけるTiN層/Ti層41の成膜、タングステンから成る導電材料層42の成膜は、実質的には、実施例1の[工程-150]と同様とすることができる。その後、化学的機械的研磨法で、タングステンから成る導電材料層42、TiN層/Ti層41、下層40及びサイドウォール119を研削して平坦化する。これによって、不純物がドーピングされた半導体材料から成る下層40及び金属材料から成る上層である導電材料層42から構成された導電層が凹部20、20A、20B内に形成される。

【0094】[工程-430]その後、実施例3の[工程-370]と同様の方法で、層間絶縁層130の形成、開口部31の形成、コンタクトプラグ32の形成、配線33の形成を行う(図8)参照)。

【0095】実施例4においても、多結晶シリコンから成る下層40を介して不純物をイオン注入することによって高濃度の拡散領域21を形成するので、多結晶シリコンから成る下層40の膜厚分だけ拡散領域21を浅くすることができ、高濃度の拡散領域21を低濃度の拡散領域18内に形成することができる。このため、接合容量を低減させ、且つ接合耐圧を向上させることができる。更には、特にP型MOSトランジスタにおける短チャネル効果を効果的に抑制することができる。

【0096】(実施例5)実施例5は、本発明の電界効果型半導体装置、及び本発明の第2の態様、あるいは又本発明の第3の態様に係る電界効果型半導体装置の製造方法に関する。

【0097】不純物がドーピングされた多結晶シリコン層、及びその上に堆積された導電層からゲート電極及び導電体パターンが構成され、凹部を埋める導電層とゲート電極を構成する導電層とはサイドウォールによって分離されている点、及び、導電層が金属材料から成る点は、実施例3と同様である。実施例5が実施例3と相違する点を以下に列記する。

(1)ダミーパターン116が、他の電界効果型半導体装置を構成する活性領域に設けられたゲート電極115から延在する導電体パターン115B(所謂、ワード線)に相当する。

(2)サイドウォール119と導電層24との間には、絶縁層140が形成されている。

(3)ゲート電極から延在する素子分離領域上の導電体パターン115Bと、この導電体パターンと略平行に延びるダミーパターン116との間は、それらの側面に設けられたサイドウォール119及び絶縁層140によって埋められている。

【0098】実施例5において、高濃度の拡散領域21及び不純物がドーピングされた多結晶シリコン層13の

形成までの工程は、実施例3の[工程-300]～[工程-350]と実質的に同様とすることができる。以下、図19の(A)に模式的な一部断面図で示すように、パターンニング層115A(不純物がドーピングされた多結晶シリコン層13であり、ゲート電極115に相当する)、及び高濃度の拡散領域21が形成された後の工程を、図19～図23を参照して説明する。

【0099】実施例5において、活性領域形成予定領域におけるパターンニング層115Aとパターンニング層115Aの間、あるいは又、パターンニング層115Aとダミーパターン116の間に、半導体基板に形成された高濃度の拡散領域21と配線33との間を電氣的に接続する導電部を形成する必要がある場合には、活性領域形成予定領域におけるパターンニング層115Aとパターンニング層115Aの間隔、あるいは又、パターンニング層115Aとダミーパターン116の間隔を、サイドウォールの底部の長さ $L_s$ と、後に説明する絶縁層140の膜厚 $T$ の合計の2倍 $[2 \times (L_s + T)]$ よりも大きくなるように設定する。このような導電部を形成する必要がある場合には、活性領域形成予定領域におけるパターンニング層115Aとパターンニング層115Aの間隔、あるいは又、パターンニング層115Aとダミーパターン116の間隔を、サイドウォールの底部の長さ $L_s$ と絶縁層140の膜厚 $T$ の合計の2倍 $[2 \times (L_s + T)]$ よりも小さくなるように設定し、且つ、サイドウォールの底部の長さ $L_s$ の2倍よりも大きくなるように設定する。

【0100】一方、素子分離領域11上に位置する導電体パターン115B(あるいはダミーパターン116)と導電体パターン115B(あるいはダミーパターン116)の間隔を、パターンニングが可能な範囲内で、サイドウォールの底部の長さ $L_s$ と絶縁層140の膜厚 $T$ の合計の2倍 $[2 \times (L_s + T)]$ よりも小さくなるように設定する。

【0101】また、ゲート電極115、導電体パターン115Bあるいはダミーパターン116と配線33との間を電氣的に接続する導電部を、ゲート電極115、導電体パターン115Bあるいはダミーパターン116に形成する必要がある場合には、かかる部分におけるゲート電極115、導電体パターン115Bあるいはダミーパターン116の幅を、絶縁層140の膜厚 $T$ の2倍 $(2T)$ よりも大きくなるように設定する。このような導電部を形成する必要がある部分には、かかる部分におけるゲート電極115、導電体パターン115Bあるいはダミーパターン116の幅を、絶縁層140の膜厚 $T$ の2倍 $(2T)$ よりも小さくなるように設定する。

【0102】尚、実施例3の[工程-310]と同様の工程にて形成された、パターンニング層115A、ダミーパターン116、及び導電体パターン115Bの形状を、図21の模式的な部分的平面図に示す。また、パターンニング層115A、ダミーパターン116及び導電体



パターン115Bの形状、サイドウォール119の形成状態を、図22の模式的な部分的平面図に示す。尚、図22において、サイドウォール119を明確化するために、サイドウォール119に斜線を付した。

【0103】[工程-500] 高濃度拡散領域21及び不純物がドーピングされた多結晶シリコン層13を形成した後、CVD法にて $\text{SiO}_2$ から成る絶縁層140(膜厚T)を全面に堆積させる。尚、膜厚Tは、サイドウォール119の頂部から絶縁層140の頂面までの距離と規定する。その後、絶縁層140をエッチバックする(図19の(B)参照)。

【0104】活性領域形成予定領域におけるパターンニング層115Aとパターンニング層115Aの間隔、あるいは又、パターンニング層115Aとダミーパターン116の間隔が、 $2 \times (L_{sv} + T)$ よりも大きくなるように設定されている領域においては、絶縁層140がサイドウォール119上に形成され、活性領域形成予定領域(具体的には、高濃度の拡散領域21)が底部に露出した凹部20が残される。これによって、活性領域形成予定領域におけるパターンニング層115Aとパターンニング層115Aの間、あるいは又、パターンニング層115Aとダミーパターン116の間に、半導体基板に形成された高濃度の拡散領域21と配線33との間を電氣的に接続するための凹部が形成される。

【0105】一方、活性領域形成予定領域におけるパターンニング層115Aとパターンニング層115Aの間隔、あるいは又、パターンニング層115Aとダミーパターン116の間隔が、 $2 \times (L_{sv} + T)$ よりも小さくなるように設定されている領域においては、絶縁層140がサイドウォール119上に形成されるが、活性領域形成予定領域(具体的には、高濃度の拡散領域21)は絶縁層140によって覆われる(例えば、図19の(A)及び(B)の凹部20A参照)。これによって、活性領域形成予定領域におけるパターンニング層115Aとパターンニング層115Aの間、あるいは又、パターンニング層115Aとダミーパターン116の間に、半導体基板に形成された高濃度の拡散領域21と配線33との間を電氣的に接続するための凹部が形成されることはない。

【0106】また、素子分離領域11上に位置する導電体パターン115B(あるいはダミーパターン116)と導電体パターン115B(あるいはダミーパターン116)の間隔は、パターンニングが可能な範囲内で、 $2 \times (L_{sv} + T)$ よりも小さくなるように設定されているので、これらの間は、これらの側面に設けられたサイドウォール119及び絶縁層140によって埋められている。こうして、凹部20(場合によっては、凹部20Aも)は、恰もサイドウォール119及び絶縁層140によって囲まれている構造となっている。

【0107】更には、ゲート電極115、導電体パター

ン115Bあるいはダミーパターン116の幅が、2Tよりも大きくなるように設定された領域においては、サイドウォール119の側面に絶縁層140が残され、且つ、ゲート電極115、導電体パターン115Bあるいはダミーパターン116が露出し、凹部20Bが残される。これによって、ゲート電極115、導電体パターン115Bあるいはダミーパターン116と配線33との間を電氣的に接続するための凹部20Bを、ゲート電極115、導電体パターン115Bあるいはダミーパターン116に形成することが可能となる。一方、ゲート電極115、導電体パターン115Bあるいはダミーパターン116の幅が、2Tよりも小さくなるように設定された領域においては、サイドウォール119の側面に絶縁層140が残され、且つ、ゲート電極115、導電体パターン115Bあるいはダミーパターン116は絶縁層140によって覆われる。これによって、ゲート電極115、導電体パターン115Bあるいはダミーパターン116と配線33との間を電氣的に接続するための凹部を、ゲート電極115、導電体パターン115Bあるいはダミーパターン116に形成することはできない。

【0108】尚、この状態におけるパターンニング層115A、ダミーパターン116及び導電体パターン115Bの形状、サイドウォール119及び絶縁層140の形成状態を、図23の模式的な部分的平面図に示す。尚、図23において、サイドウォール119及び絶縁層140を明確化するために、サイドウォール119及び絶縁層140に斜線を付した。

【0109】[工程-510] 次に、実施例1の[工程-150]と同様の方法で、凹部20を導電材料で埋め込み、導電層24を凹部20内に形成する。併せて、パターンニングされた多結晶シリコン層13の上方に設けられた凹部20B内を導電材料で埋め込み、凹部20B内に導電層24を形成する(図20の(A)参照)。

【0110】[工程-520] 次に、SOGをコーティングした後、全面をエッチバックして平坦化するか、あるいは又、化学的機械的研磨法を用いて、全面を平坦化する。その後、全面に、アルミニウム系合金から成る配線材料層をスパッタ法にて成膜し、次いで、フォトリソグラフィ技術及びドライエッチング技術を用いて配線材料層をパターンニングし、配線33を完成させる(図20の(B)参照)。更に、公知の工程を実行して、電界効果型半導体装置を完成させる。

【0111】(実施例6) 実施例6は、本発明の電界効果型半導体装置、及び本発明の第2の態様、あるいは又本発明の第3の態様に係る電界効果型半導体装置の製造方法に関する。実施例6が実施例3と相違する点は、実施例3においては[工程-370]にて層間絶縁層を形成した後、コンタクトプラグを形成するための開口部を形成したのに対して、実施例6においては、全面に層間絶縁層を形成し、次いで、この層間絶縁層をエッチパッ

クして、所望の凹部及びダミーパターンの部分の上方の層間絶縁層に、自己整合的に開口部を形成する点にある。実施例6において、凹部20、20B内をTiN層/Ti層23、タングステンから成る導電層24で埋め込むまでの工程は、実施例3の「工程-300」～「工程-360」と実質的に同様とすることができる。以下、図24の(A)に模式的な一部断面図で示すように、凹部20、20B内をTiN層/Ti層23、タングステンから成る導電層24で埋め込んだ後の工程を、図24及び図25を参照して説明する。

【0112】尚、実施例6においては、活性領域形成予定領域におけるパターンニング層115Aとパターンニング層115Aの間、あるいは又、パターンニング層115Aとダミーパターン116の間に、半導体基板に形成された高濃度の拡散領域21と配線33との間を電氣的に接続する導電部を形成する必要がある場合（即ち、層間絶縁層150に開口部131を設ける必要がある場合）には、活性領域形成予定領域におけるパターンニング層115Aとパターンニング層115Aの間隔、あるいは又、パターンニング層115Aとダミーパターン116の間隔を  
20 広げておく。一方、ゲート電極115、導電体パターン115Bあるいはダミーパターン116と配線33との間を電氣的に接続する導電部を、ゲート電極115、導電体パターン115Bあるいはダミーパターン116に形成する必要がある場合には、かかる部分におけるゲート電極115、導電体パターン115Bあるいはダミーパターン116の幅を広げておく。

【0113】「工程-600」凹部20、20B内をTiN層/Ti層23、タングステンから成る導電層24で埋め込んだ後、全面にCVD法にてSiO<sub>2</sub>から成る層間絶縁層150を堆積させる。次いで、エッチバック法にて層間絶縁層150の全面をエッチバックする（図24の(B)参照）。これによって、活性領域形成予定領域におけるパターンニング層115Aとパターンニング層115Aの間隔、あるいは又、パターンニング層115Aとダミーパターン116の間隔が広げられた部分（凹部20、20Bを参照）の上方の層間絶縁層150に開口部131が形成される。即ち、所望の凹部20、20Bの部分の上方の層間絶縁層150に開口部131が形成される。この開口部131の形成は、自己整合的に行わ  
れる。

【0114】「工程-610」その後、実施例1の「工程-160」と同様の方法で、開口部131内を含む層間絶縁層150の全面に、アルミニウム系合金から成る配線材料層をスパッタ法にて成膜し、次いで、フォトリソグラフィ技術及びドライエッチング技術を用いて配線材料層をパターンニングして配線33を完成させる（図25参照）。

【0115】以上、本発明を、好ましい実施例に基づき説明したが、本発明はこれらの実施例に限定されるもの

ではない。実施例においては、2入力NANDゲートを構成するためのCMOSトランジスタあるいはデュアルゲート型MOSTランジスタに本発明を適用したが、その他の形態の電界効果型半導体装置にも本発明を適用することができる。実施例にて説明した条件や数値、材料は例示であり、適宜変更することができる。

【0116】実施例5で説明した、活性領域形成予定領域が露出するように絶縁層をサイドウォール上に形成する工程を、実施例1あるいは実施例2で説明した電界効果型半導体装置の製造方法の例えば「工程-140」と「工程-150」の間に含ませることができる。この場合の「工程-150」後の状態を、図26に模式的な一部断面図で示す。ここで、図26中、参照番号140は絶縁層である。尚、この場合、ゲート電極から延在する素子分離領域上の導電体パターンと、導電体パターンと略平行に延びるダミーパターンとの間、及び/又は、ゲート電極から延在する素子分離領域上の導電体パターンとそれに隣接する導電体パターンとの間、及び/又は、素子分離領域上のダミーパターンとそれに隣接するダ  
ミパターンとの間は、それらの側面に設けられたサイド  
ウォール及び絶縁層によって埋められていることが好ま  
しい。尚、この場合、導電層を、金属材料から構成し、  
あるいは又、不純物がドーピングされた半導体材料から  
成る下層と金属材料から成る上層から構成することがで  
きる。あるいは又、実施例5で説明した、活性領域形成  
予定領域が露出するように絶縁層をサイドウォール上に  
形成する工程を、実施例3、実施例4、実施例6で説明  
した電界効果型半導体装置の製造方法の工程に含ませる  
ことができる。

【0117】更には、実施例6で説明した、全面に層間絶縁層を形成し、次いで、層間絶縁層をエッチバックして、所望の凹部、及び/又はゲート電極、及び/又はダミーパターンの部分の上方の層間絶縁層に、自己整合的に開口部を形成し、その後、開口部内にコンタクトプラグを形成する工程を、実施例1あるいは実施例2で説明した電界効果型半導体装置の製造方法の例えば「工程-160」に含ませることができる。この場合の「工程-160」後の状態を、図27に模式的な一部断面図で示す。

【0118】実施例1においては、ダミーパターン16を孤立したパターンとしたが、ダミーパターンを、他の電界効果型半導体装置を構成する活性領域に設けられたゲート電極から延在する導電体パターン（所謂ワード線）とすることもできる。

【0119】実施例5あるいは実施例6においては、導電層を金属材料から構成したが、その代わりに、導電層を、実施例2や実施例4と同様に、不純物がドーピングされた半導体材料から成る下層及び金属材料から成る上層から構成することもできる。

【0120】実施例においては、導電層の形成を専らブ

ランケットタングステンCVD法にて行ったが、導電層を構成する金属材料はタングステンに限定されるものではなく、各種の金属や高融点金属から形成することができる。例えば、CVD法で銅層やアルミニウム層を形成することによって、銅やアルミニウムから成る導電層を凹部内に形成することもできる。CVD法による銅層の形成条件を以下に例示する。尚、HFAとは、ヘキサフルオロアセチルアセトネートの略である。

銅のCVD成膜条件

使用ガス :  $\text{Cu}(\text{HFA})_2/\text{H}_2 = 10/100$  10  
0 sccm

圧力 :  $2.6 \times 10^3 \text{ Pa}$

基板加熱温度 :  $350^\circ \text{C}$

パワー : 500 W

【0121】また、実施例においては、TiN層及びTi層をスパッタ法にて成膜したが、その代わりに、TiN層、Ti層を、以下に例示する条件のCVD法にて成膜することもできる。

TiのECR-CVD条件

使用ガス :  $\text{TiCl}_4/\text{H}_2 = 10/50$  20  
sccm

マイクロ波パワー : 2.18 kW

温度 :  $420^\circ \text{C}$

圧力 : 0.12 Pa

TiNのECR-CVD条件

使用ガス :  $\text{TiCl}_4/\text{H}_2/\text{N}_2 = 20/26$   
/8 sccm

マイクロ波パワー : 2.8 kW

基板RFバイアス : -50 W

温度 :  $420^\circ \text{C}$

圧力 : 0.12 Pa

【0122】実施例においては、配線を構成するアルミニウム系合金としてAl-Cuを用いたが、その代わりに、純アルミニウム、Al-Si、Al-Si-Cu、Al-Ge、Al-Si-Ge等の種々のアルミニウム合金を用いることもできる。また、層間絶縁層として、必要に応じて、 $\text{SiO}_2$ 、BPSG、PSG、BSG、AsSG、PbSG、SbSG、NSG、SOG、LTO (Low TemperatureOxide、低温CVD- $\text{SiO}_2$ )、SiN、SiON等の公知の絶縁材料、あるいはこれらの絶縁材料を積層したものを用いることができる。

【0123】CMP法に用いられる研磨装置の概要を図28の(A)に示す。この研磨装置は、研磨プレート、基板保持台、研磨液供給系から成る。研磨プレートは、回転する研磨プレート回転軸に支承され、その表面には研磨パッドが備えられている。基板保持台は、研磨プレートの上に配置され、基板保持台回転軸に支承されている。研磨すべき材料は基板保持台上に載置される。基板保持台回転軸は、基板保持台を研磨パッドの方向に押す研磨圧力調整機構(図示せず)に取り付けられている。砥粒を含んだスラリー状の研磨液は、研磨液供給系から

研磨パッドに供給される。CMP法はこのような研磨装置を用いる。そして、砥粒を含んだ研磨液を研磨パッドに供給しながら、研磨プレートを回転させる。同時に基板保持台上に載置された研磨すべき材料を回転させながら、研磨圧力調整機構によって、研磨パッドに対する研磨すべき材料の研磨圧力を調整する。こうして、研磨すべき材料の表面を研磨することができる。あるいは又、実開昭63-754号公報に記載されたように、研磨液を、研磨プレート回転軸及び研磨プレートの内部を経由して、研磨パッドに設けられた研磨液供給口から供給することもできる(図28の(B)参照)。

【0124】

【発明の効果】本発明においては、従来技術のように、拡散領域とのコンタクトを形成するための開口部をフォトリソグラフィ技術及びドライエッチング技術によって層間絶縁層に設ける必要が無く、高い集積度を達成することができる。また、凹部内に導電層が形成されているので、拡散領域のシート抵抗を低くすることができる。しかも、半導体基板を構成するシリコンと導電層とは直接、反応することがないので、半導体基板に加わる応力が小さく、且つアロイスバイクによる接合リークが拡散領域で生じる可能性も低い。更には、配線と拡散領域を電気的に接続するためのコンタクトプラグを導電層上に形成すればよいので、層間絶縁層に開口部をフォトリソグラフィ技術及びドライエッチング技術を用いて形成する場合、プロセス裕度(例えば、フォトリソグラフィ工程におけるマスク合わせずれの許容範囲)を大きくすることができる。

【0125】導電層を、不純物がドーピングされた半導体材料から成る下層及び金属材料から成る上層から構成すれば、下層の膜厚分だけ浅い拡散領域を半導体基板に形成することが可能となり、電界効果型半導体装置の微細化が可能となる。しかも、下層上に金属材料から成る上層が形成されているので、浅い拡散領域にも拘らずシート抵抗を低くすることができる。

【0126】ゲート電極を、不純物がドーピングされた多結晶シリコン層、及びその上に堆積された導電層から構成すれば、拡散領域のシート抵抗のみならず、ゲート電極の抵抗も低くすることができるし、ゲート絶縁膜に加わる応力が小さいので、ゲート絶縁膜の劣化が少ない。

【0127】また、ゲート電極を、不純物がドーピングされた多結晶シリコン層を形成した後、その上に導電層を堆積することによって形成すれば、ゲート電極を構成する多結晶シリコン層中の不純物が相互拡散し、各トランジスタのゲート電極における多結晶シリコン層中の不純物濃度の低下が生じ、トランジスタの特性が変化するという従来のデュアルゲート構造の電界効果型半導体装置の製造技術における問題を回避することができる。

【0128】更には、活性領域形成予定領域が露出する

ように、絶縁層をサイドウォール上に形成すれば、一層確実に且つ容易に、活性領域形成予定領域が底部に露出した凹部を形成することができる。また、全面に層間絶縁層を形成した後、層間絶縁層をエッチバックすることによって、コンタクトプラグを形成するための開口部を、自己整合的に層間絶縁層に形成することができる。

【図面の簡単な説明】

【図1】実施例1の電界効果型半導体装置及びその製造方法を説明するための電界効果型半導体装置の模式的な一部断面図である。

【図2】実施例1の電界効果型半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図3】図2に引き続き、実施例1の電界効果型半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図4】図3に引き続き、実施例1の電界効果型半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図5】実施例1の電界効果型半導体装置の製造方法を説明するためのゲート電極等の模式的な部分的平面図である。

【図6】実施例1の電界効果型半導体装置の製造方法を説明するためのゲート電極等の模式的な部分的平面図である。

【図7】実施例における電界効果型半導体装置の模式的な部分的平面図である。

【図8】実施例2の電界効果型半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図9】図8に引き続き、実施例2の電界効果型半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図10】図9に引き続き、実施例2の電界効果型半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図11】実施例3の電界効果型半導体装置の製造方法を説明するための電界効果型半導体装置の模式的な一部断面図である。

【図12】実施例3の電界効果型半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図13】図12に引き続き、実施例3の電界効果型半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図14】図13に引き続き、実施例3の電界効果型半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図15】図14に引き続き、実施例3の電界効果型半導体装置の製造方法を説明するための半導体基板等の模

式的な一部断面図である。

【図16】実施例4の電界効果型半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図17】図16に引き続き、実施例4の電界効果型半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図18】図17に引き続き、実施例4の電界効果型半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図19】実施例5の電界効果型半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図20】図19に引き続き、実施例5の電界効果型半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図21】実施例5の電界効果型半導体装置の製造方法を説明するためのダミーパターン等の模式的な部分的平面図である。

【図22】実施例5の電界効果型半導体装置の製造方法を説明するためのダミーパターン等の模式的な部分的平面図である。

【図23】実施例5の電界効果型半導体装置の製造方法を説明するためのダミーパターン等の模式的な部分的平面図である。

【図24】実施例6の電界効果型半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図25】図24に引き続き、実施例6の電界効果型半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図26】実施例1の変形の電界効果型半導体装置の模式的な一部断面図である。

【図27】実施例1の更に別の変形の電界効果型半導体装置の模式的な一部断面図である。

【図28】化学的機械的研磨法に用いられる研磨装置の概要を示す図である。

【図29】MOSトランジスタの製造方法の第1の従来例を説明するための半導体基板等の模式的な一部断面図である。

【図30】図29に引き続き、第1の従来例を説明するための半導体基板等の模式的な一部断面図である。

【図31】図30に引き続き、第1の従来例を説明するための半導体基板等の模式的な一部断面図である。

【図32】図31に引き続き、第1の従来例を説明するための半導体基板等の模式的な一部断面図である。

【図33】第1及び第2の従来例における電界効果型半導体装置の模式的な部分的平面図である。

【図34】MOSトランジスタの製造方法の第2の従来例を説明するための半導体基板等の模式的な一部断面図

である。

【図35】図34に引き続き、第2の従来例を説明するための半導体基板等の模式的な一部断面図である。

【図36】デュアルゲート型MOSトランジスタの模式的な一部断面図である。

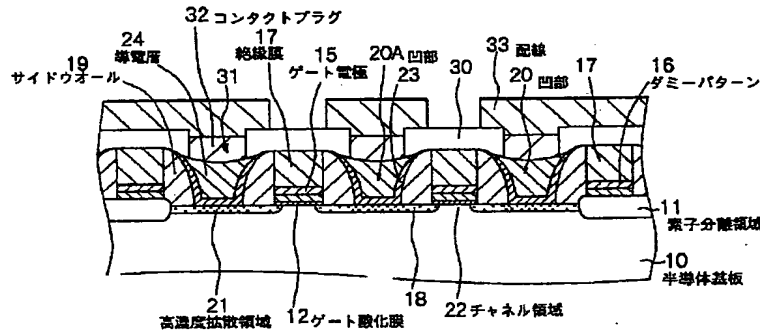
【符号の説明】

- 10 半導体基板
- 11 素子分離領域
- 12 ゲート酸化膜
- 13, 13A 多結晶シリコン層
- 14 タングステンシリサイド層
- 15, 115, 150B ゲート電極
- 15A 導電体パターン
- 16, 116 ダミーパターン
- 17 絶縁膜（オフセット絶縁膜）

- \* 18, 21 拡散領域
- 19, 119 サイドウォール
- 20, 20A, 20B 凹部
- 22 チャンネル領域
- 23, 41 TiN層/Ti層
- 24 導電層
- 30, 130, 150 層間絶縁層
- 31, 131 開口部
- 32 コンタクトプラグ
- 10 33 配線
- 40 下層
- 42 導電材料層
- 50 レジスト
- 115A パターニング層
- \* 140 絶縁層

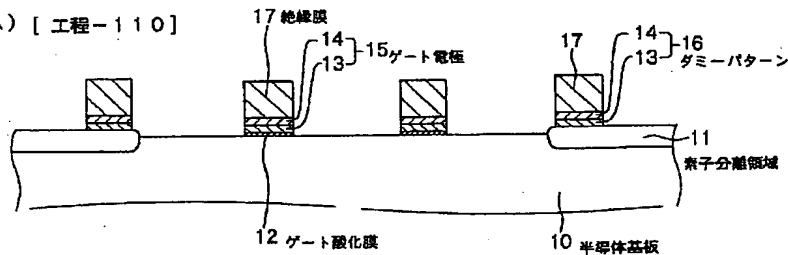
【図1】

【工程-160】

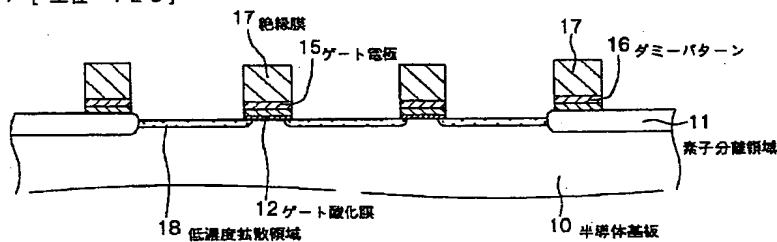


【図2】

(A) 【工程-110】

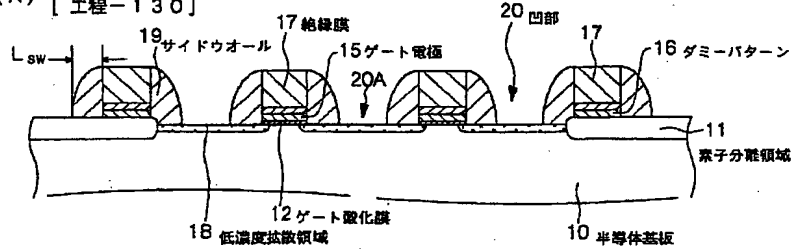


(B) 【工程-120】

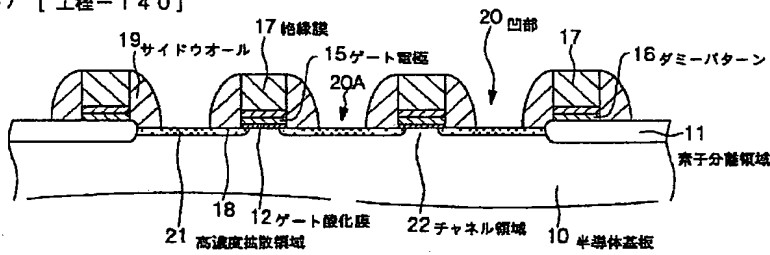


【図3】

(A) 【工程-130】



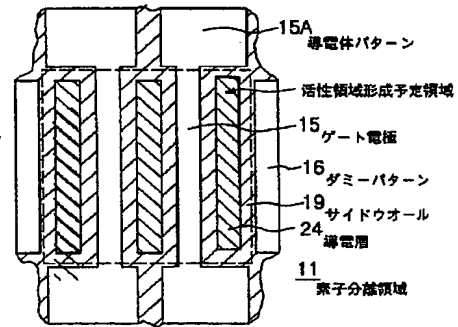
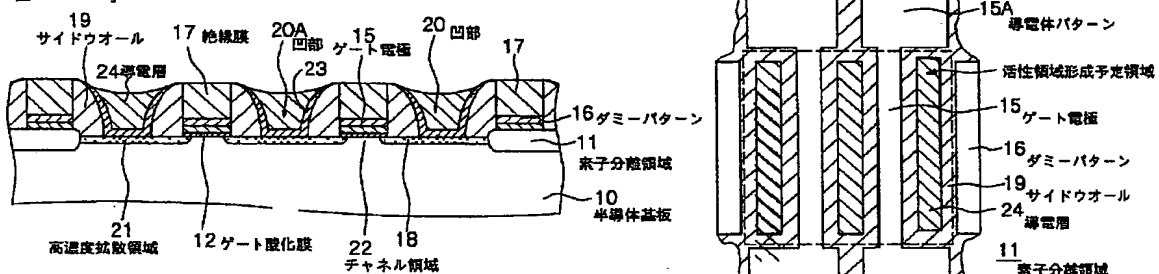
(B) 【工程-140】



【図4】

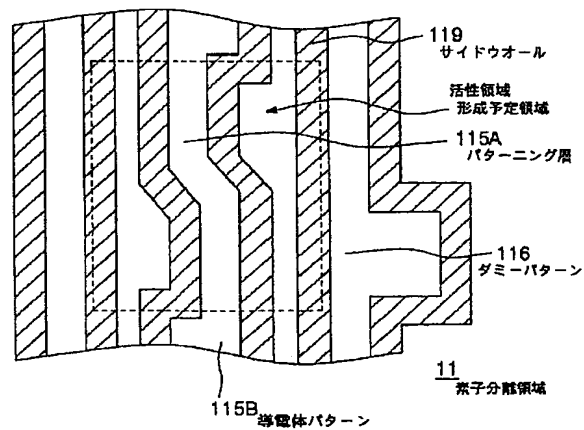
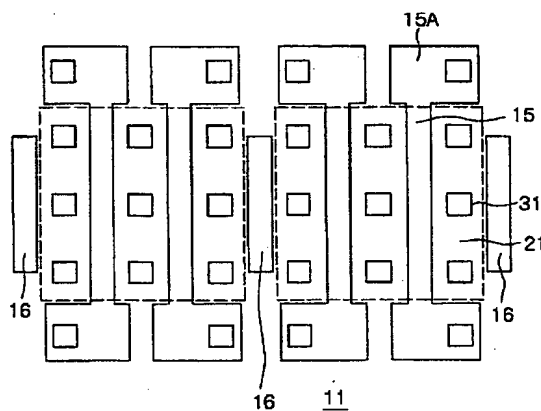
【図6】

【工程-150】

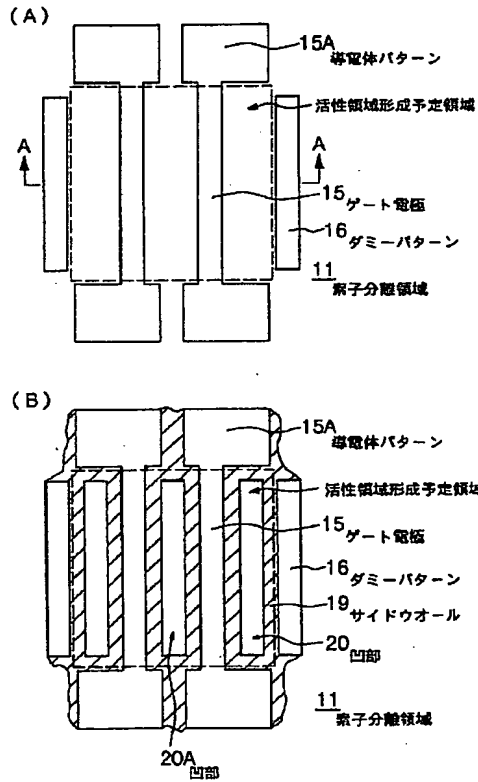


【図7】

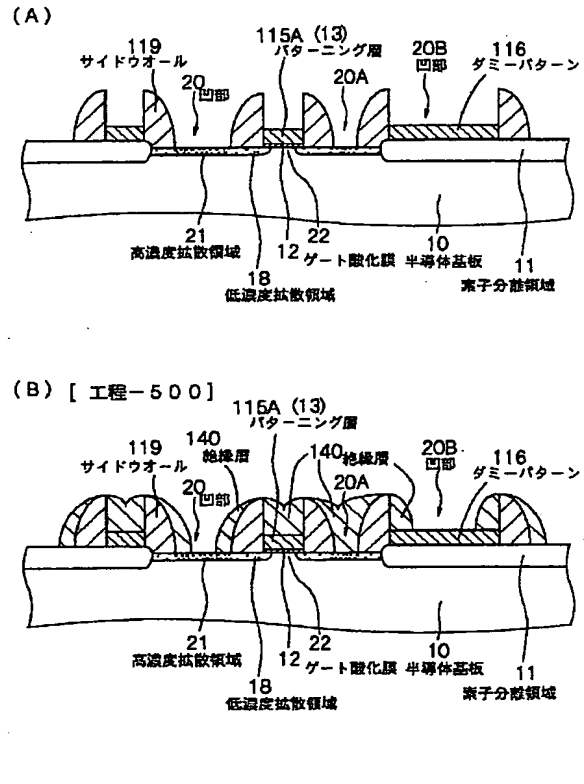
【図22】



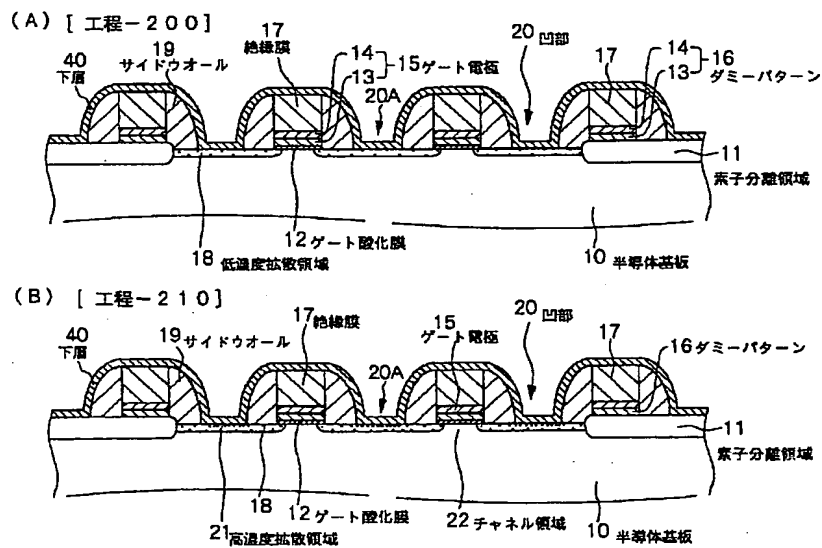
【図5】



【図19】

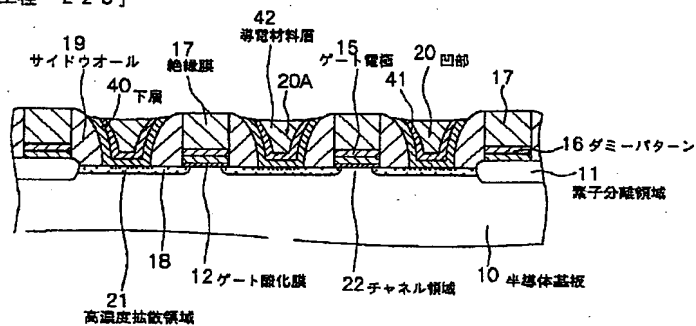


【図8】



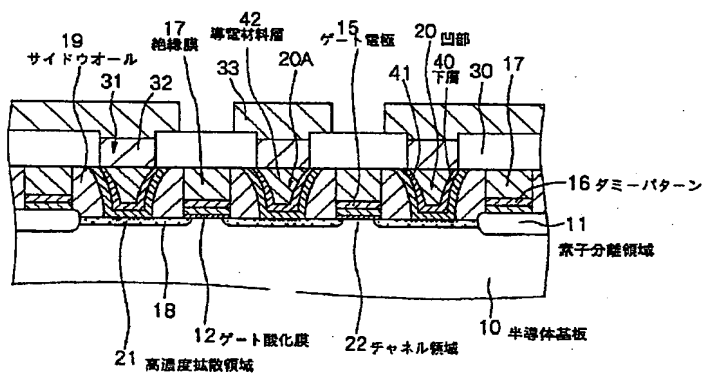
【図9】

[ 工程-220 ]



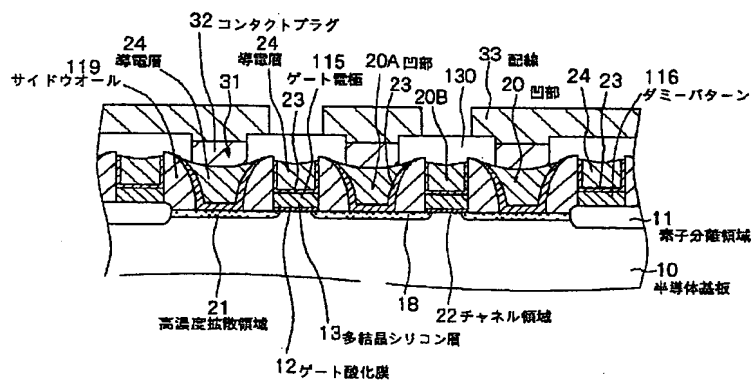
【図10】

[ 工程-230 ]



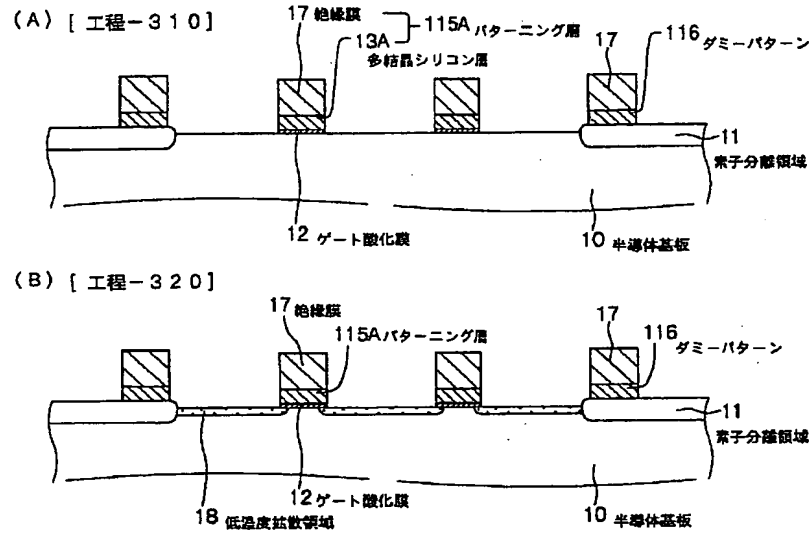
【図11】

[ 工程-370 ]

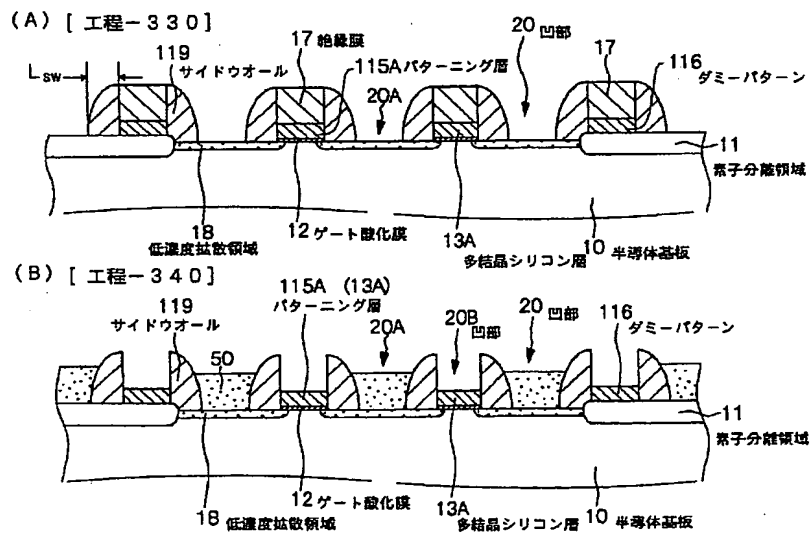




【図12】

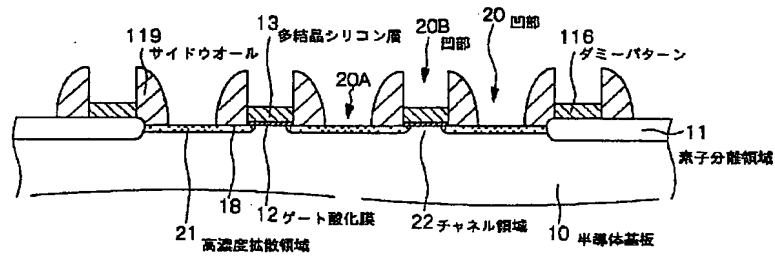


【図13】



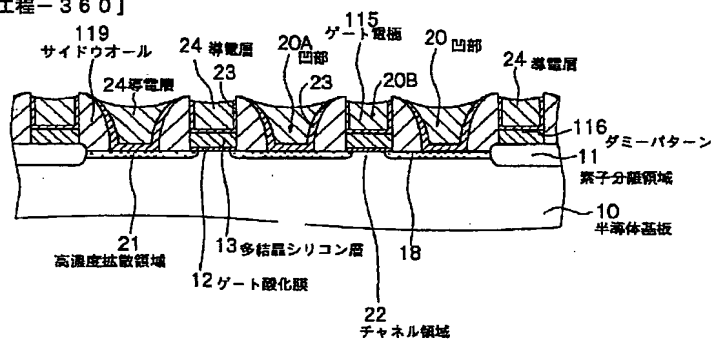
【図14】

[ 工程-350 ]



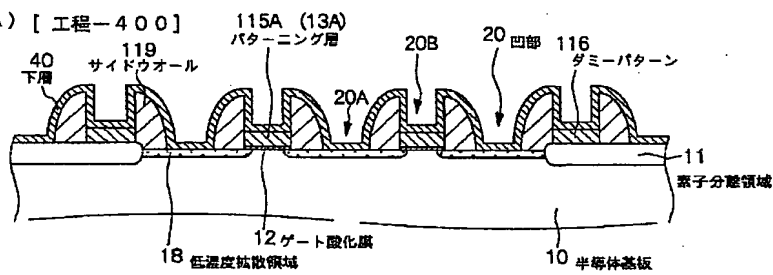
【図15】

[ 工程-360 ]

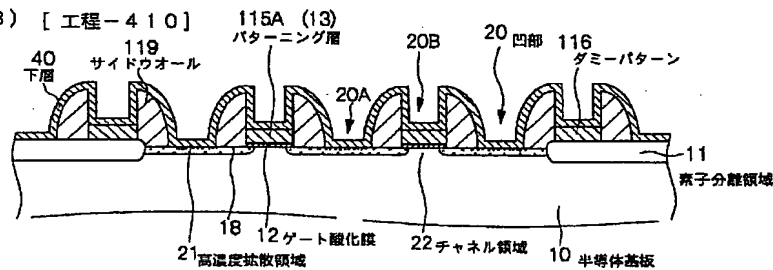


【図16】

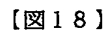
(A) [ 工程-400 ]



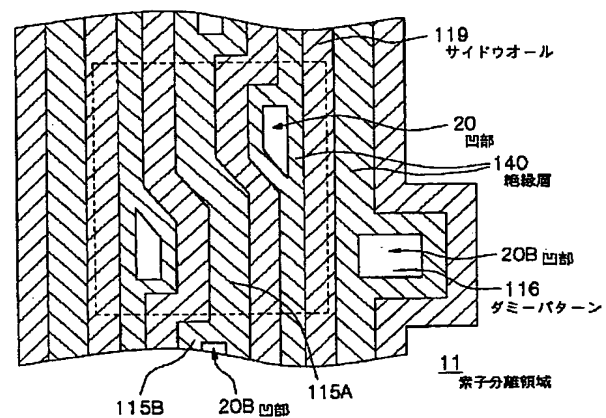
(B) [ 工程-410 ]



[ 工程-420]

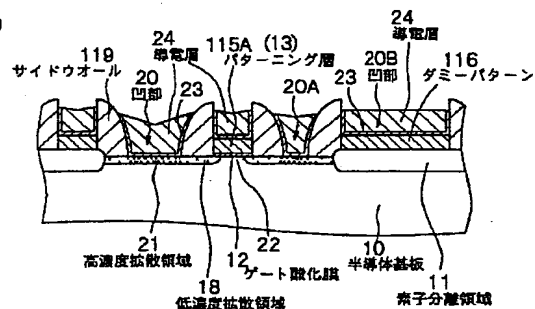


【圖 23】



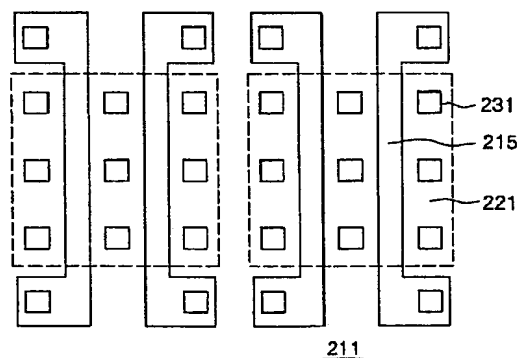
【圖24】

(A)

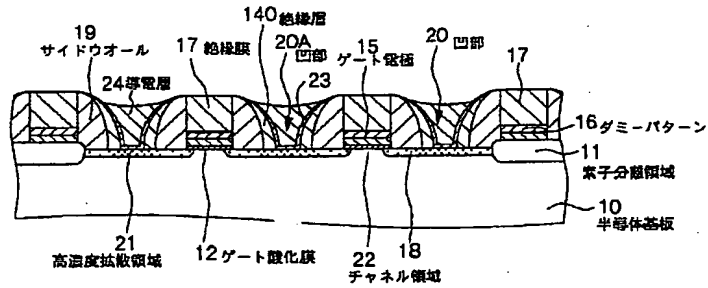


(B) [ 工程-600 ]

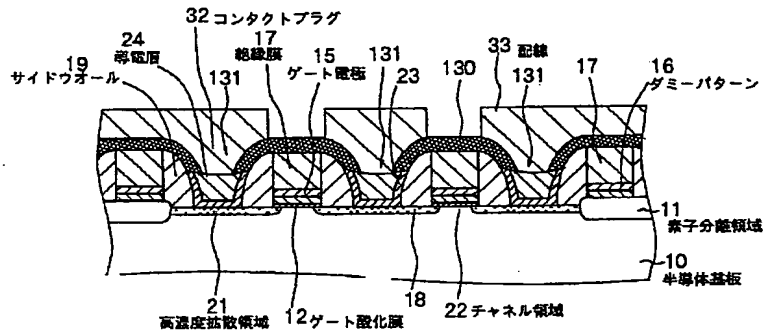
【圖 33】

[illegible]

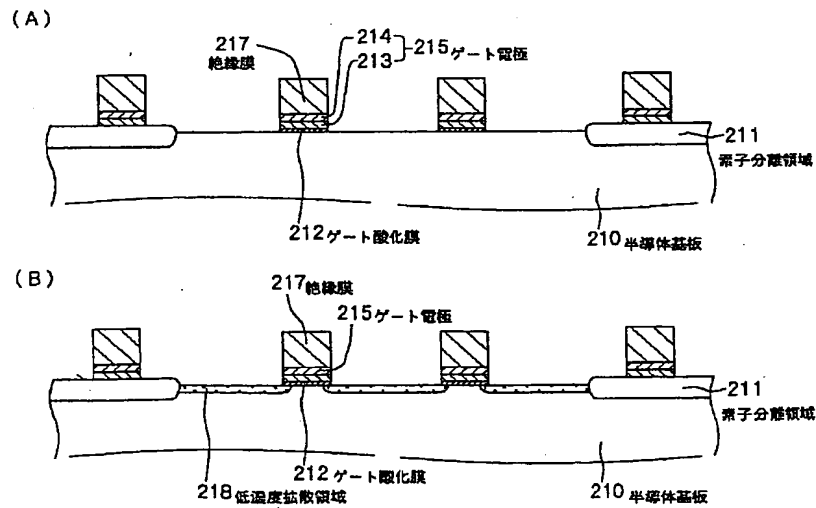
【図 26】



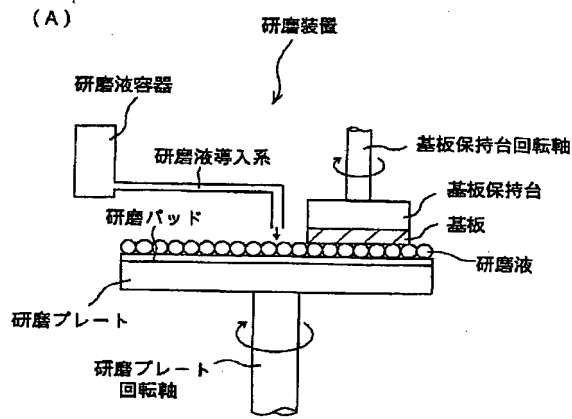
【図 27】



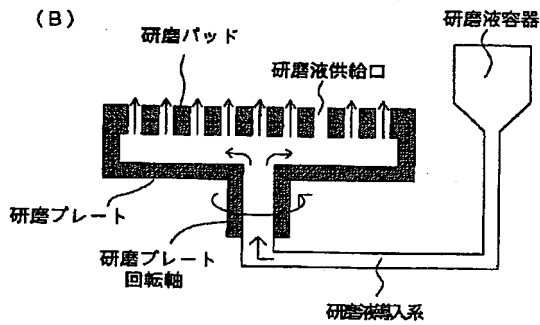
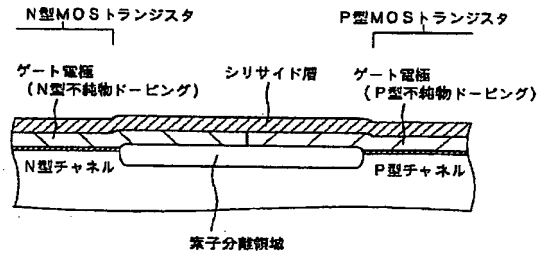
【図 29】



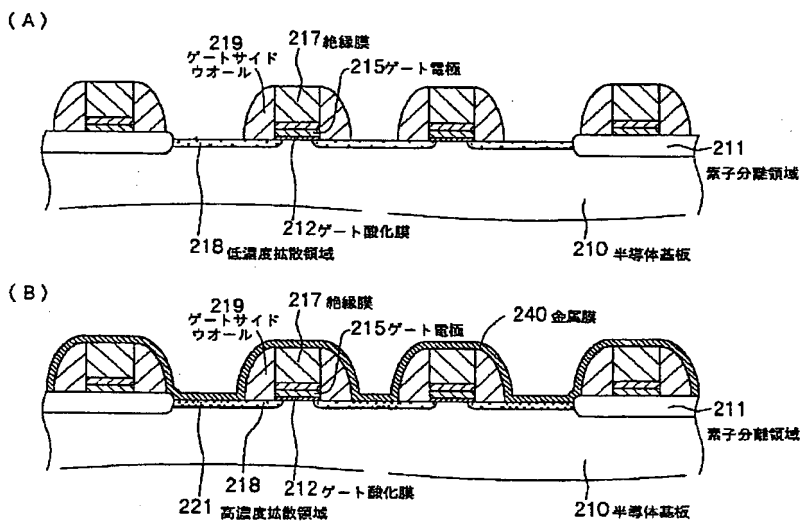
【図28】



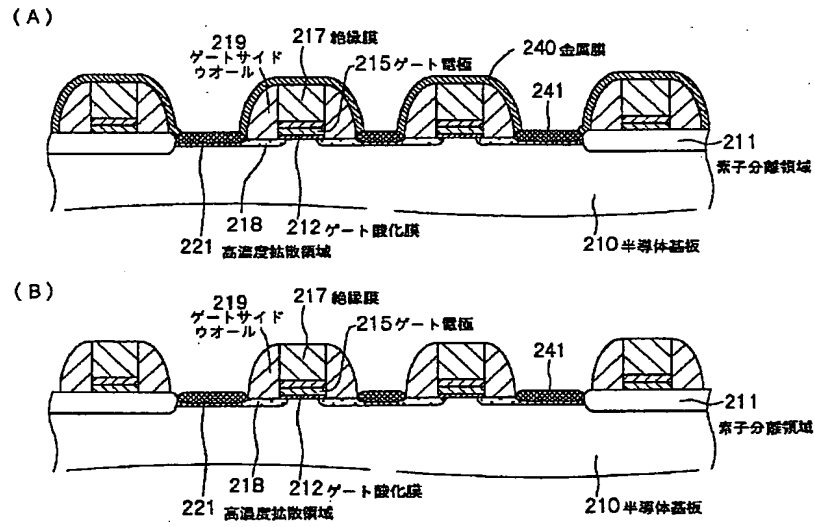
【図36】



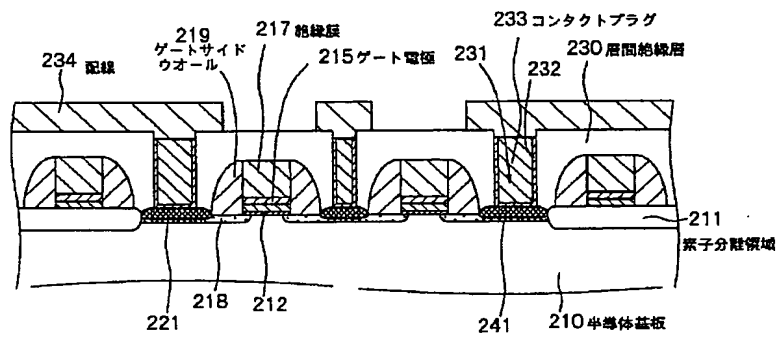
【図30】



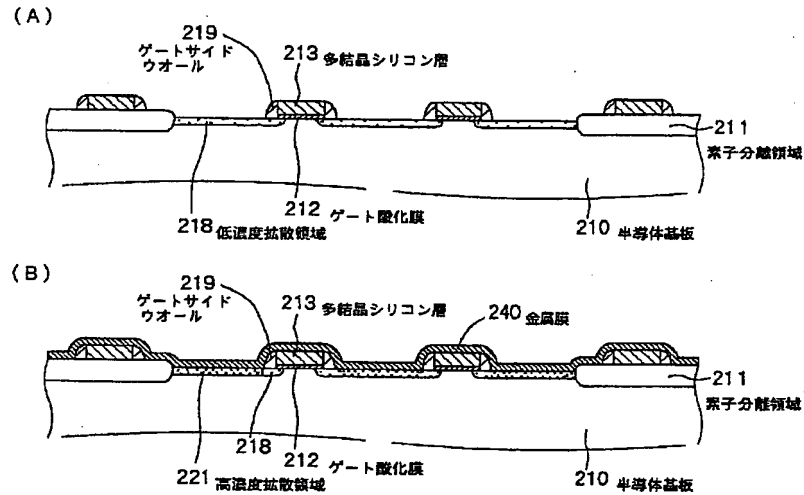
【図31】



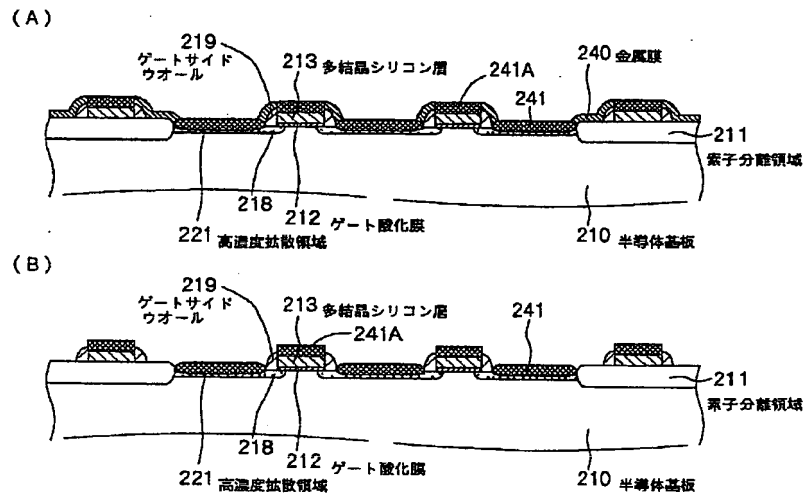
【図32】



【図34】



【図35】



フロントページの続き

(51)Int.Cl.<sup>6</sup>

H01L 27/092

21/336

識別記号

片内整理番号

F I

技術表示箇所



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成11年(1999)7月2日

【公開番号】特開平8-335701

【公開日】平成8年(1996)12月17日

【年通号数】公開特許公報8-3358

【出願番号】特願平7-325148

【国際特許分類第6版】

H01L 29/78

21/28 301

21/8234

27/088

21/8238

27/092

21/336

【F I】

H01L 29/78 301 X

21/28 301 A

27/08 102 D

321 F

29/78 301 Y

【手続補正書】

【提出日】平成10年4月1日

【手続補正1】

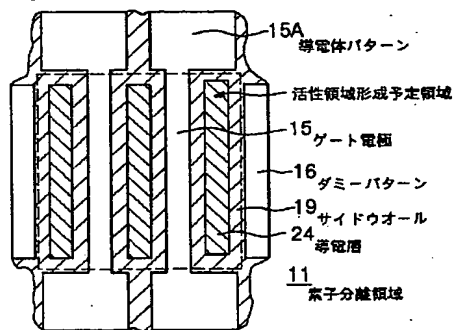
【補正対象書類名】図面

【補正対象項目名】図6

【補正方法】変更

【補正内容】

【図6】



**THIS PAGE BLANK (USPTO)**